

基于 i.MX51 的系统硬件介绍

2.1 内容概述

本章是基于 i.MX51 的系统硬件介绍，本章的学习，可以了解和掌握以下知识与技能：

- 基于 Freescale i.MX51 系统的硬件基本构架以及功能模块的组成。
- ARM Cortex-A8 系统的硬件工作原理。
- 基于 Freescale i.MX51 系统硬件模块之间协同工作、相互配合的方式。
- 硬件功能模块之间的接口设计方法。
- 开放硬件接口的定义及功能，在开放硬件接口的基础上做二次开发的方法。

在本章的学习过程中，需要参考相关的硬件接口规范文档，查阅各个硬件器件的数据手册。本章将以 ARM Cortex-A8 为内核的应用处理器 Freescale i.MX51 所组建的最小核心系统为基础，通过实际的应用实例把所有的周边硬件设备和标准硬件接口有机地结合起来，通过本章的阅读和学习，不仅可以学习和了解 ARM Cortex-A8 本身，还可以学习和了解整个硬件系统的组成以及各个周边硬件设备的规范和工作原理。

本章以怡鼎 MX51 开发板为典型应用实例，学习基于 Freescale i.MX51 嵌入式开发系统硬件模块的组成与协同工作。

建议读者在学习本章之前，先阅读本书光盘中的“怡鼎 MX51 说明书”。说明书详细地介绍了怡鼎 MX51 开发板的形态、接口，以及如何使用。对怡鼎 MX51 开发板的了解有助于读者对本章内容的学习。

欢迎读者访问怡鼎信息科技有限公司的网站，了解和下载关于 MX51 开发系统的技术资料，包括原理图、更新的 BSP 软件包、使用手册等。怡鼎的网址：www.idinginfo.com。

本章内容如下：

- 硬件系统的总体框图和功能组成
- i.MX51 处理器的启动模式设置
- 系统电源模块以及电源分布方式及电源管理
- 存储器的组成以及存储器接口设计
- 系统外围器件接口

2.2 硬件系统的总体框图和功能组成

作为一个完整的系统，怡鼎 MX51 嵌入式开发系统的整个硬件组成比较繁杂，牵涉到各种不同的硬件接口和各种不同的硬件周边设备。

表 2-1 是怡鼎 MX51 开发板的硬件输入输出接口及功能说明。

表 2-1 怡鼎 MX51 开发板硬件输入输出接口

开发板输入输出接口	器件	描述
调试串口	UART DCE	10 管脚 USB/UART 串口（需要转换电缆连接到 PC USB 口）
无线网络和蓝牙	提供无线网络和蓝牙接口	使用 SDIO、UART 和 SSI 音频数据接口
以太网接口	100M 以太网接口	10/100Mbps 自适应接口 MII 接口开放，可以连接自选芯片
USB 接口	高速 On-the-Go（OTG）	直接由 i.MX51 输出 Mini-AB USB 接头
	高速主模式	标准 USB Host 接头
接口	SD/MMC 存储卡	两套存储卡卡槽 卡检测 卡写保护功能
	3G 接口	USB 接口 UART 口 I2S 音频接口
	GPS 功能模块接口	提供串行 PS/2 接口
	JTAG 调试接口	软件调试
	S/PDIF 数字音频接口	直接由 i.MX51 输出
终端接口	TV 信号输出	直接由 i.MX51 输出 支持复合视频，分量输出连接头
	音频接口	立体声耳机 麦克风 音频输出
	喇叭	立体声 单声道
显示输出	显示屏	带 LED 背光的 7 英寸触摸屏
	DVI 输出	DVI 转 HDMI 输出
	LVDS 输出	LVDS 输出
周边设备	键盘	开发板上提供
	USB Hub	4 口 USB Hub
	音视频采集	由 Camera 总线输入
	摄像头	200 万像素的摄像头

整个完整的硬件开发系统可以大致分为最小硬件系统和外围周边设备。

所谓最小硬件系统是指实际的操作系统所能运行的最小的硬件构成,从现实的硬件角度来讲就是包含应用处理器,供电以及电源管理,存储器三个主要的硬件部分,其中应用处理器作为核心器件,所起的功能是具体程序代码和数据的读取、执行、存储的操作;电源管理模块提供不同的电压给应用处理器和各个周边设备,产生系统启动初始化信号,负责电池充放电管理,维持系统时钟的运行;存储器存储程序代码和数据,其中数据包括永久数据和执行过程中所产生的临时数据。

外围设备由人机交互设备、通信接口设备、扩展设备等组成。

对应于怡鼎 MX51 开发板,最小硬件系统包括:基于 ARM Cortex-A8 内核的 i.MX51 应用处理器,供电和电源管理的 MC13892, 512MB 的 DDR2 SDRAM。外围周边设备实现用户人机界面(MMI)(如视频、音频输入输出接口,键盘鼠标输入, Camera 输入);设备与设备通信(设备与网络通信的标准接口,如 USB、UART、WiFi、3G 模块接口、以太网接口)。理论上的整体系统框图如图 2-1 所示。

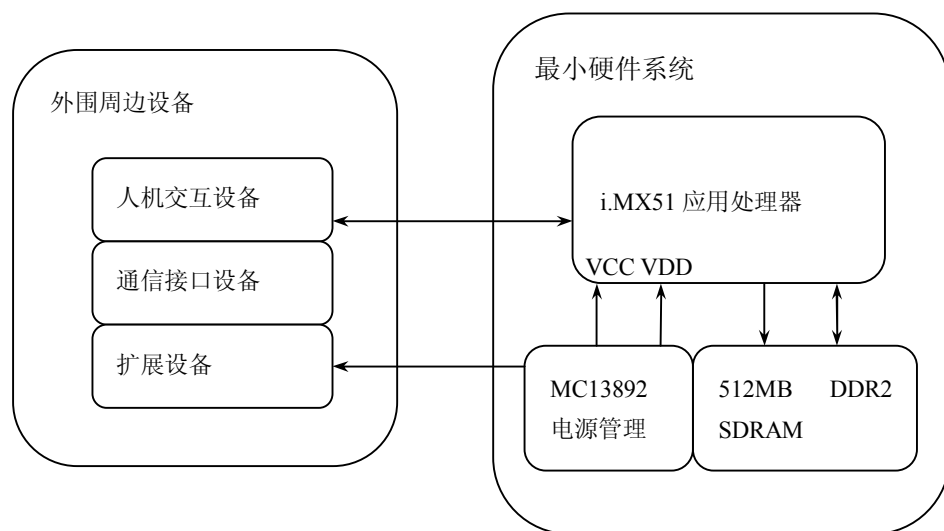


图 2-1 硬件开发系统框图

怡鼎 MX51 开发板的最小核心系统我们称之为 CPU 板, CPU 板内部的存储器连接包括 32 位宽度 200MHz 时钟速度的 DDR2 SDRAM 存储器总线, 8 位 NAND Flash Memory 总线, 4/8 位宽度最高 52MHz 时钟速度的 SDIO/MMC 接口。MC13892 通过 SPI 总线和 Freescale i.MX51 应用处理器连接, 通过 SPI 配置电源管理模块并读取电源管理模块的工作状态。同时 CPU 板也加上了外围接口, 包括 USB OTG Device/Host 接口、UART 接口、JTAG 调试接口。

怡鼎 MX51 开发板的主要外围设备的功能是在 Mother 板上实现的, CPU 板和 Mother 板通过两个 120 管脚的连接器连接在一起, 实现周边扩展功能, 包括通过 Display 显示接口连接 7 英寸触摸显示屏, DVI 数字视频接口, LVDS 视频输出接口; 立体声音频功放和耳机接口; USB Hub 扩展接口; 以太网接口; 3G 模块接口; 无线网络/蓝牙接口。

怡鼎 MX51 开发板的应用系统连接框图如图 2-2 所示, 可以看到核心系统与外围设备是如何连接的。随后的章节将对系统框图中的各模块功能与模块间的连接做系统详细的介绍。

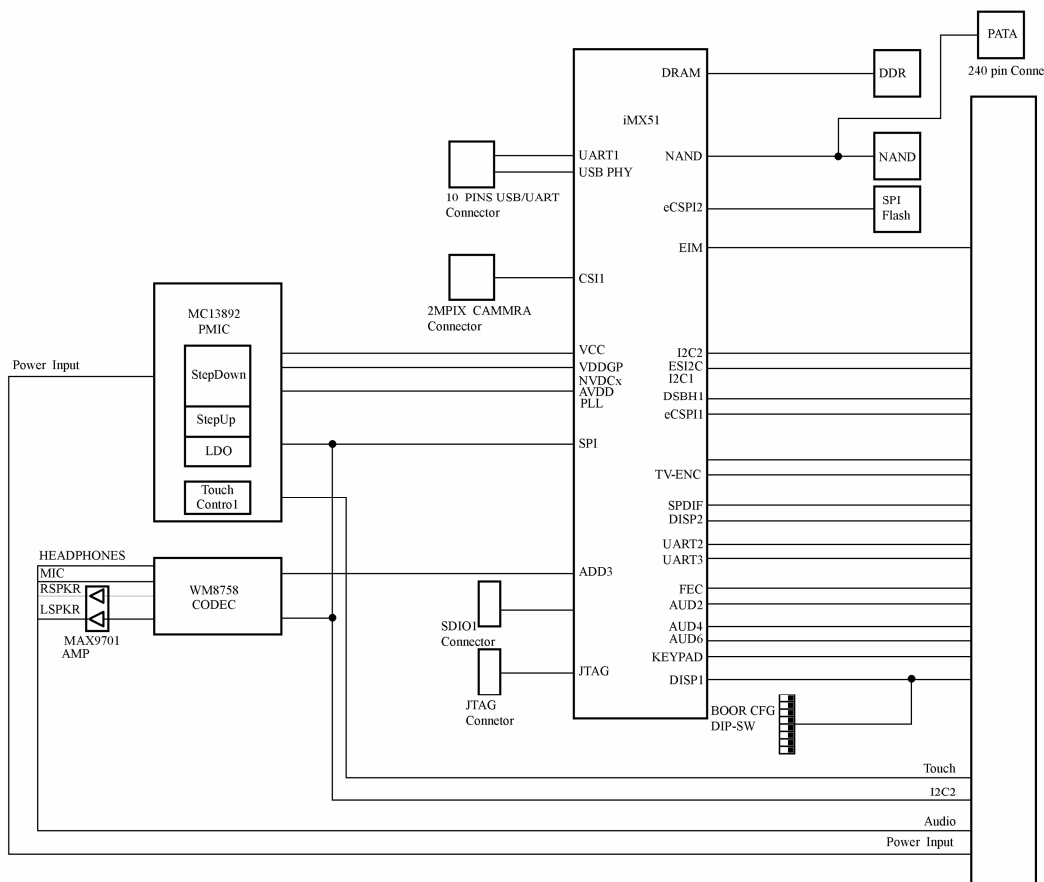


图 2-2 怡鼎 MX51 开发板的应用系统连接框图

2.3 i.MX51 应用处理器的启动模式设置

怡鼎 MX51 开发板支持多种不同的启动模式，启动模式的切换是通过外部的拨动开关（CPU 板上的 SW700、SW701、SW702、SW703）切换上拉/下拉，在系统上电启动时由处理器读入并判断不同的启动模式。

Freescall i.MX51 应用处理器的系统启动模式由 SRC（System Reset Controller，系统启动控制器）设置，系统启动流程由 BMOD（Boot Mode）管脚的设置值决定，在系统全局复位 RESET 信号取消时，启动管脚的值会被采样并锁定到 SBMR（SRC Boot Mode Register，SRC 启动控制寄存器）寄存，并由 SBMR 的值来决定系统的启动模式。

系统启动时启动镜像文件的来源有：

- NOR Flash 通过 WEIM（Wireless External Interface Memory）接口，CS#0。
- OneNAND 通过 WEIM 接口，CS#0。
- NAND Flash 通过 NFC（Nand Flash Memory Controller）、SLC 和 MLC。
- LBA NAND 器件通过 NAND Flash 接口也可以提供支持。
- SD/MMC 卡通过四个 eSDHC 接口中的任意一个。

- EEPeOM/串行 Flash 器件通过 SPI 接口启动。
- EEPROM 通过 I2C 接口，并且配置码同时由 EEPROM 提取。
- USBOTG/UART 串行下载。

系统启动模式如表 2-2 所示，更详细的启动模式可以参考飞思卡尔 i.MX51 的数据手册。

表 2-2 系统启动模式

BOOT_MODE [1:0]	启动类型	启动详细信息
00	内部启动由 GPIO 启动管脚	执行 ROM 代码，由其处理以下启动源： ● NOR Flash ● OneNAND ● SPI/I2C ● NAND Flash ● SD/MMC/MoviNAND 启动
01	FSL 测试模式	Freescall 测试模式，为器件测试预留
10	内部由熔丝启动	类似于 00，但是启动熔丝始终会使用确定的启动源
11	USB/UART Boot Loader	通过串行器件载入并执行代码 USB UART

在怡鼎 MX51 开发板的设计中，启动模式的选择可以通过拨动开关来配置，具体的配置电路如图 2-3 所示。通过拨动开关，可以配置启动 GPIO 的上拉或者下拉，配置到希望的启动模式。

2.4 存储器部分（DDR2、SPI NOR、NAND Flash）

2.4.1 DDR2 SDRAM

DDR2 SDRAM（Double-Data-Rate Two Synchronous Dynamic Random Access Memory，第二代双倍数据率同步动态随机存取存储器），是一种电脑存储器规格。它属于 SDRAM 家族的存储器产品，提供了相较于 DDR SDRAM 更高的运行效能与更低的电压，是 DDR SDRAM（双倍数据率同步动态随机存取存储器）的后继者，也是现时流行的存储器产品。

Freescall i.MX51 应用处理器支持标准的 DDR2 SDRAM，在怡鼎 MX51 开发板中，使用了 4 片 64Mb×16，构成 128Mb×32 位数据总线的 DDR2 SDRAM 架构，是标准的 DDR2 总线连接。DDR2 SDRAM 的关键问题在于 PCB 板的布局布线上，布局上 DDR2 器件采用双面对称的布局方式，PCB 布线时 DDR2 SDRAM 走线设计上的原则必须遵循，如数据线的等长设计，时钟，DQS 信号线的差分走线设计。系统运行的稳定性和 DDR2 SDRAM 部分的布局走线密切相关。DDR2 Memory 的生产厂商和飞思卡尔有相应的布局布线指导规范，PCB 设计时应当尽量满足相应的要求。i.MX51 应用处理器在芯片设计的角度上也做了一些相应的考虑，如数据线的相互交换，相应管脚驱动能力的调整，总线时序上也可以通过寄存器配置调整。

怡鼎 MX51 的 CPU 板的 DDR2 Memory 部分的电路设计和 PCB 布线完全遵循了处理器厂商和存储器厂商的设计规范要求，并且通过了存储器读写压力测试。图 2-4 是怡鼎 MX51 开发板的 DDR2 SDRAM 连接框图。

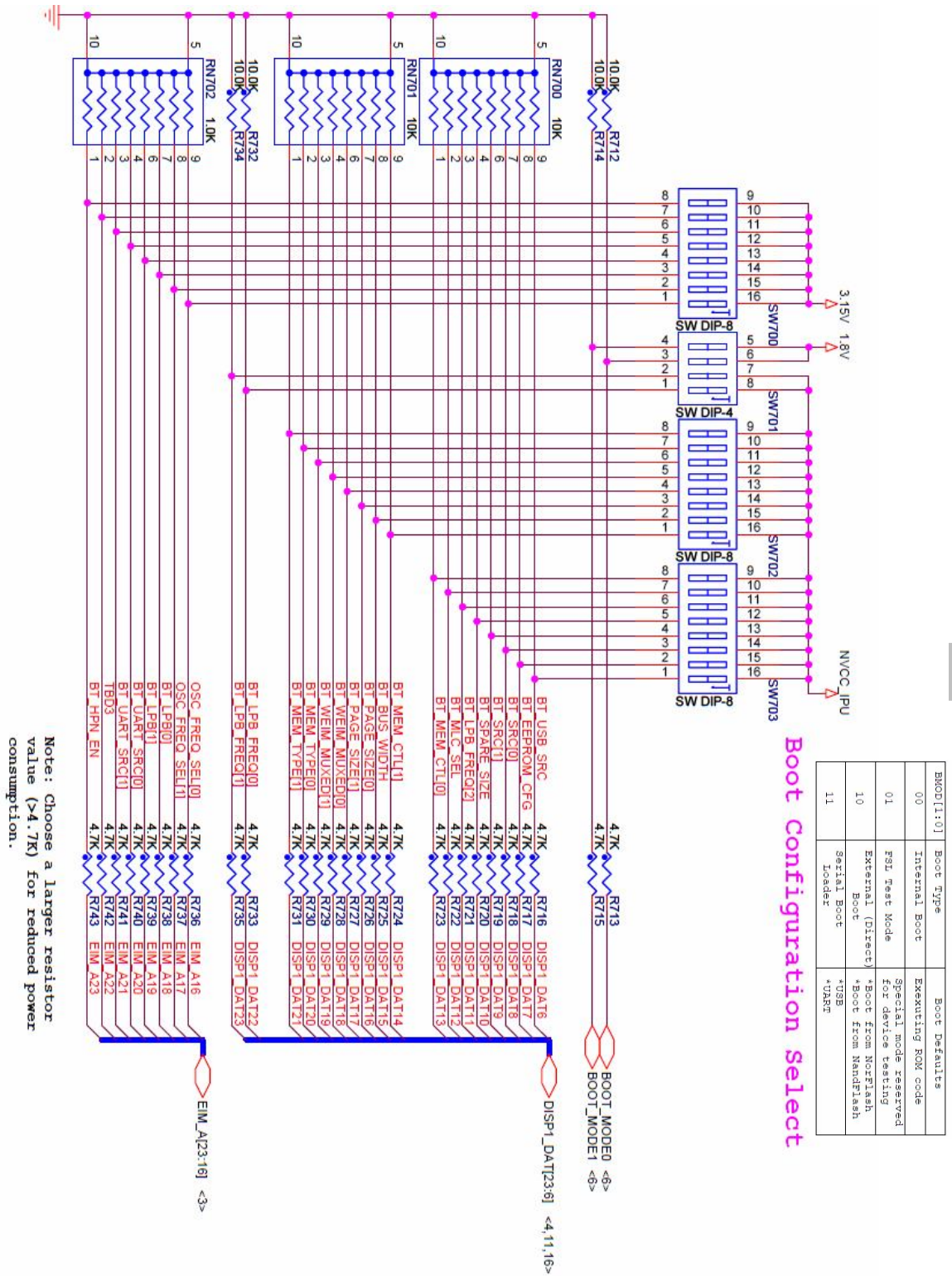


图 2-3 启动模式电路配置图

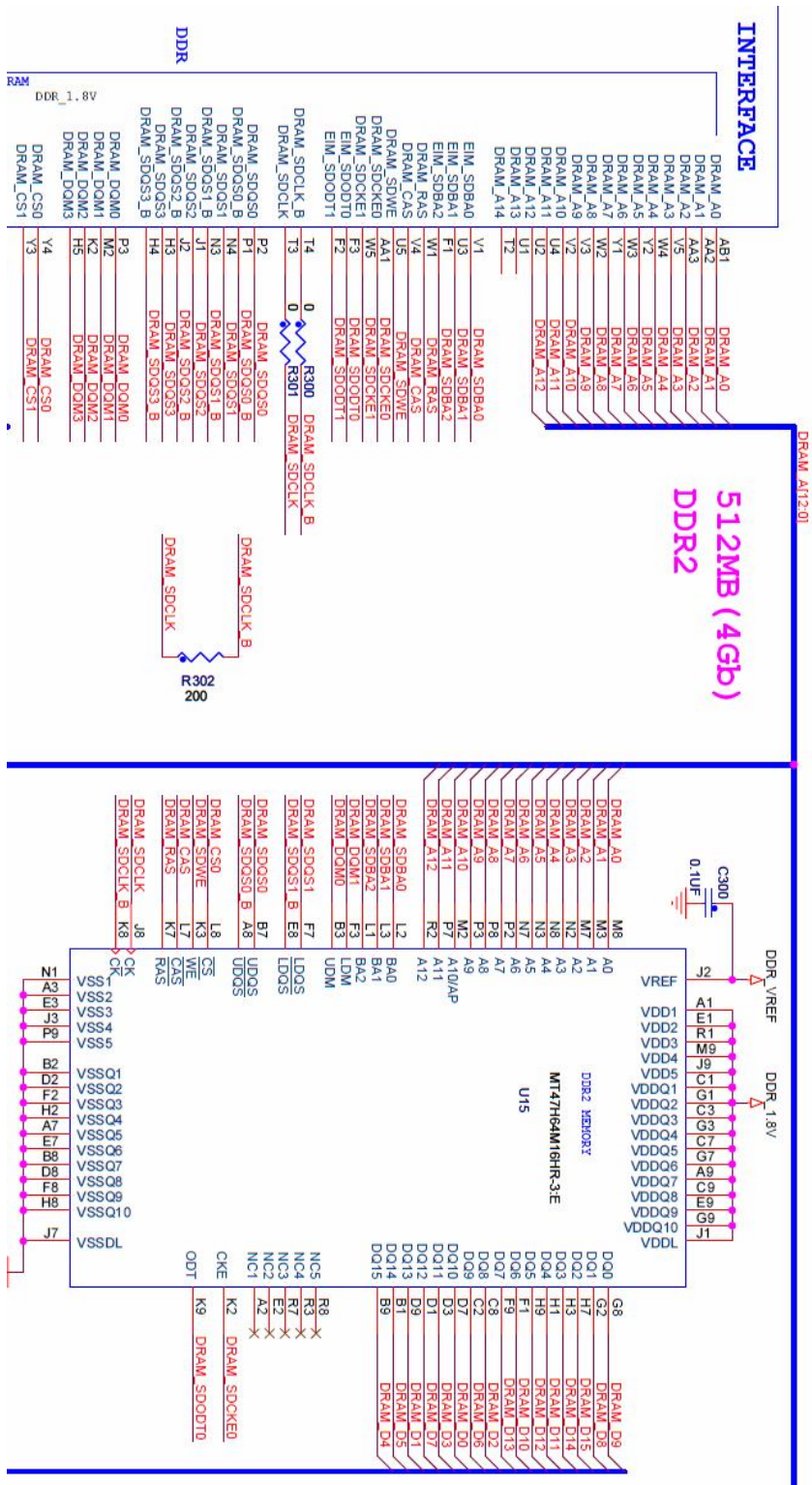


图 2-4 DDR2 SDRAM 连接框图

2.4.2 NAND Flash

NAND Flash 类似于 DDR2 SDRAM, Freescale i.MX51 处理器内部有一个 NFC (NAND Flash Memory Controller, NAND Flash 存储器控制器), 提供标准的接口, 用于支持 NAND Flash 存储器。Nand Flash 存储器的连接框图如图 2-5 所示, 在参考板的默认设计中, 没有焊接 NAND Flash Memory, 用户可以按照需求和软件的配置来选择 NAND Flash Memory, 在实际的系统设计中, 可以支持多种不同类型的 NAND Flash Memory。

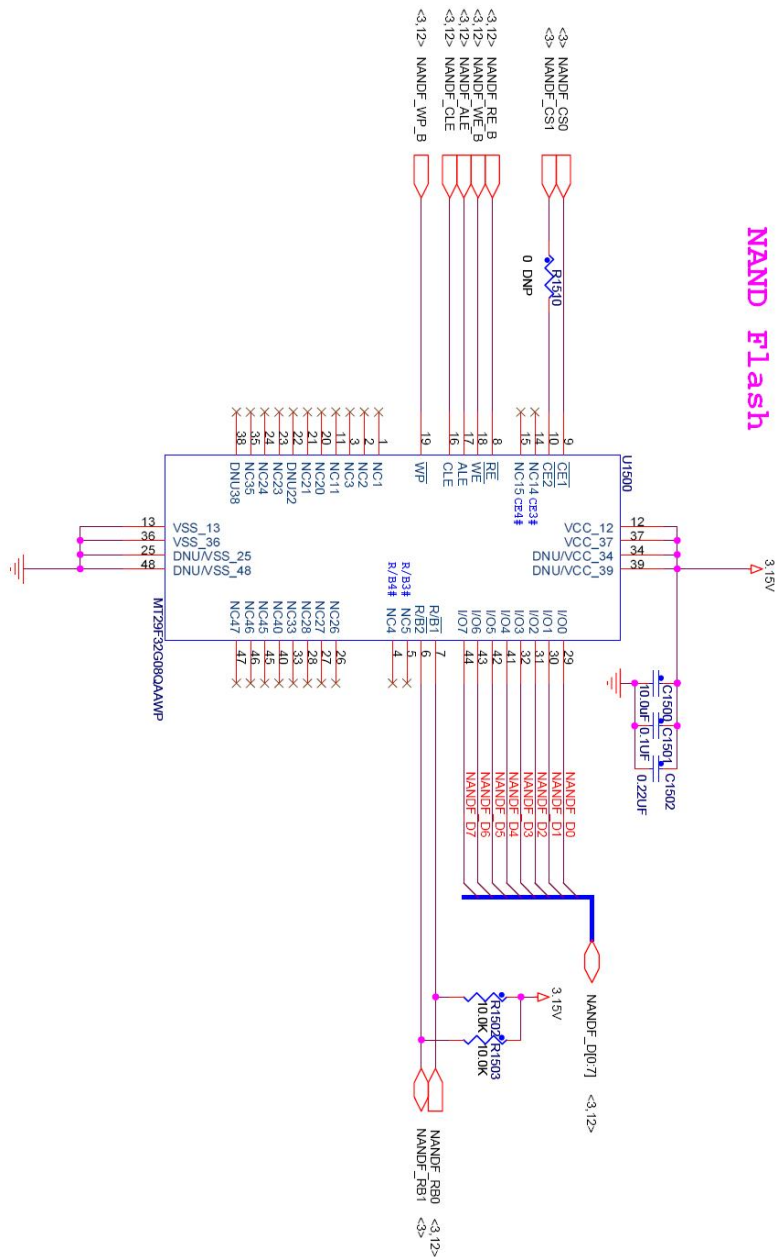


图 2-5 Nand Flash 的存储器连接框图

- x8/x16 (Pin configurable) NAND Flash 接口
- SLC/MLC 类型的 NAND Flash Memory

2.4.3 SPI NOR

通过 SPI 接口, i.MX51 支持 SPI 接口的 NOR 闪存, 由于芯片管脚复用的原因, CSPI2 被用作 SPI NOR 闪存的接口总线, 信号连接方式和 SPI 总线的连接方式一致, CSPI2_SS1 用于器件的选通, CSPI2_CLK 由 i.MX51 产生, 是数据同步时钟, CSPI2_MOSI2 和 CSPI2_MISO2 分别是输入、输出数据线。

图 2-6 所示为 SPI NOR 闪存连接框图。

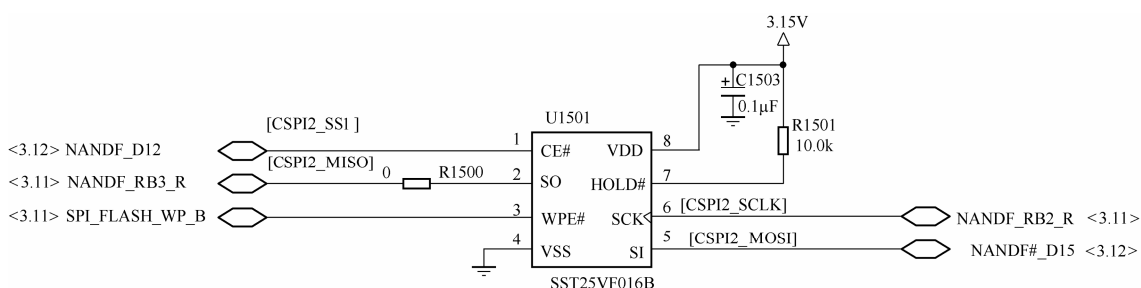


图 2-6 SPI NOR 闪存连接框图

2.5 电源管理

在怡鼎 MX51 开发板的设计中, MC13892 电源管理芯片为整个系统提供多组电源输出, 实现系统电源管理方案, 是与 i.MX51 配套使用的整体套片。

MC13892 的功能有:

- (1) 通过开关和线性稳压器提供系统电源输出树, 电源的输出关闭时序已经按照系统要求设定好。
- (2) 电池/后备电池的充放电管理。
- (3) 实时时钟/日历/闹钟管理。
- (4) 串行背光 LED/闪光 LED 的驱动。
- (5) 四线电阻触摸屏驱动。

MC13892 和 i.MX51 通过 SPI 总线连接, 并为 i.MX51 提供数字 32.768kHz 实时时钟信号 CKIL 和系统启动初始化信号 POR_B/RESET_INI_B。通过中断申请信号 PMIC_INT_REQ 向 i.MX51 申请中断并报告 PMIC 异常/非异常信息。i.MX51 通过通用 GPIO 连接到 MC13892 的 WDI (WatchDog Input) 和 STANDBY 输入管脚提供快速即时的控制。

2.5.1 MC13892 的电源输出

MC13892 共提供了 4 路多模式背越式开关稳压器, 一路的输出能力达到 1.05A, 另外三路的输出能力是 800mA。线性 LDO 稳压器共有 12 路。电源的初始输出电压值由 PUMS1 和 PUMS2 控

制，在参考板的设置中，PUMS1=Vcoredig，PUMS2 开路。

- 电源初始输出如表 2-3 所示。
- 电源的上电输出顺序按表 2-4 排列。

表 2-3 电源输出表

应用处理器: i.MX51	PUMS1=Vcoredig PUMS2=OPEN
SW1	1.05V
SW2	1.25V
SW3	1.25V
SW4	1.80V
SWBST	OFF
VUSB	3.3V
VUSB2	2.6V
VPLL	1.8V
VDIG	1.25V
VIOHI	2.775V
VGEN2	3.15V

表 2-4 电源上电输出顺序表

上电节拍×2ms	PUMS1=Vcoredig PUMS2 = OPEN
0	SW2
1	SW4
2	VIOHI
3	VGEN2
4	SW1
5	SW3
6	VPLL
7	VDIG
8	
9	VUSB (3), VUSB2

- MC13892 对应用处理器 i.MX51 的供电如图 2-7 所示。

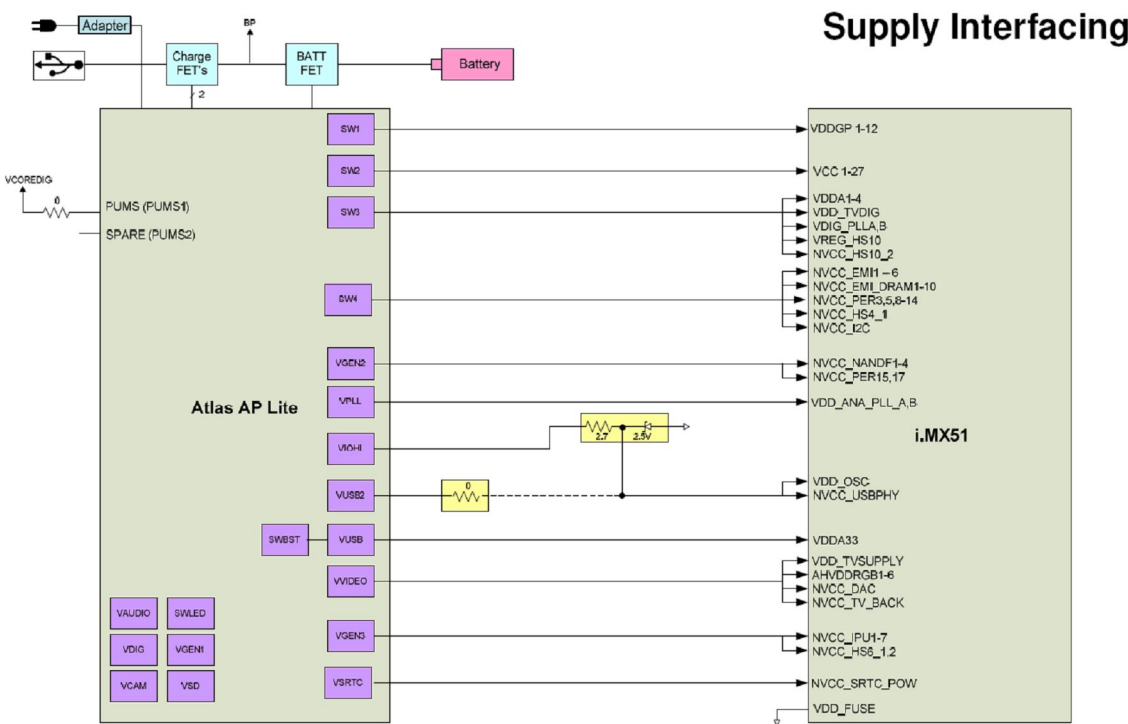


图 2-7 i.MX51 供电图

2.5.2 i.MX51 与 MC13892 之间的信号接口控制

MC13892 在怡鼎 MX51 开发板设计中工作于 SPI 总线模式, SPI 总线模式的设定由 CS 管脚下拉到低电平决定。实际电路设计中, i.MX51 的 CSPI1 被用作 MC13892 的控制总线, 通过控制总线, 处理器可以配置 MC13892 的内部寄存器, 更改电源电压输出值, 设置实时时钟, 接收来自 MC13892 的中断之后, 处理器通过控制总线读取中断寄存器来判断中断来源。

同时 MC13892 还为应用处理器和周边设备提供 32.768kHz 的数字时钟信号, 数字时钟可以作为应用处理器的低功耗时钟源, 也可作为其他设备的参考时钟源。上电复位信号也由 MC13892 提供给应用处理器和外围周边设备, 供系统上电复位时使用。i.MX51 与 MC13892 之间的信号接口控制如图 2-8 所示。

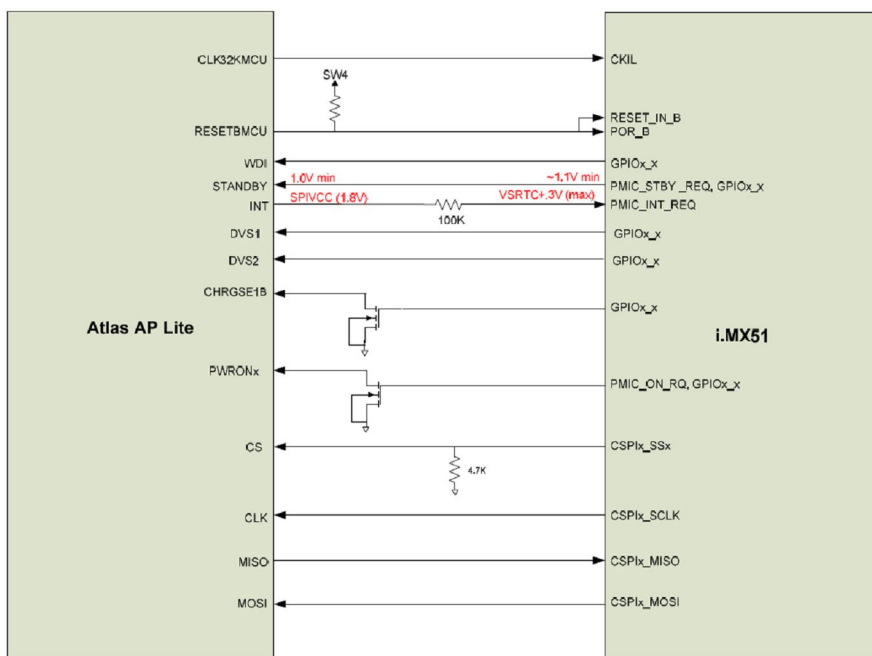


图 2-8 i.MX51 与 MC13892 之间的信号接口控制图

2.5.3 电池充放电电路

作为设计方向为手持式设备的应用处理器, 电池的充放电管理也是电源管理芯片的主要功能之一, 电池的充放电管理功能由 MC13892 和相应的外围分离器件共同实现, 可以独立地或者通过软件控制的方式实现电池的充放电功能。

如图 2-9 所示, 充电输入端为 CHRGAW, 这是一个具有过压检测保护功能的输入管脚, 当输入充电电压超过 16V 时, MOSFET M1 被关闭, 电源管理芯片产生一个中断通知应用处理器。MOSFET M1 和 M2 用于控制充电电流并提供一个恒定的充电电压, 充电电流的大小通过 R2 电阻上产生的压降判断, 充电电压在 BP 管脚处检测。MOSFET M3 的功能是切换过放电电池和正常电池的充电电路, 在过放电电池涓流充电的情况下, M3 完全关闭, 由 BP 和 BATTISNS 之间芯片内部的通路实现过放电电池的涓流充电。在正常充电情况下, M3 完全导通连接正常的充电通路。R1

电阻两端的压降也将被检测，用于检测计算系统工作时电池的放电电流。电池电压在 BATT 管脚输入端检测，用于判断电池的状态：过放电、正常、充电完成等。如果需要检测电池温度，ADIN5 端的电压将由于电池内部 NTC 阻值的变化而变化，通过模拟 NTC 的温度/阻值曲线，可以计算出电池温度值。

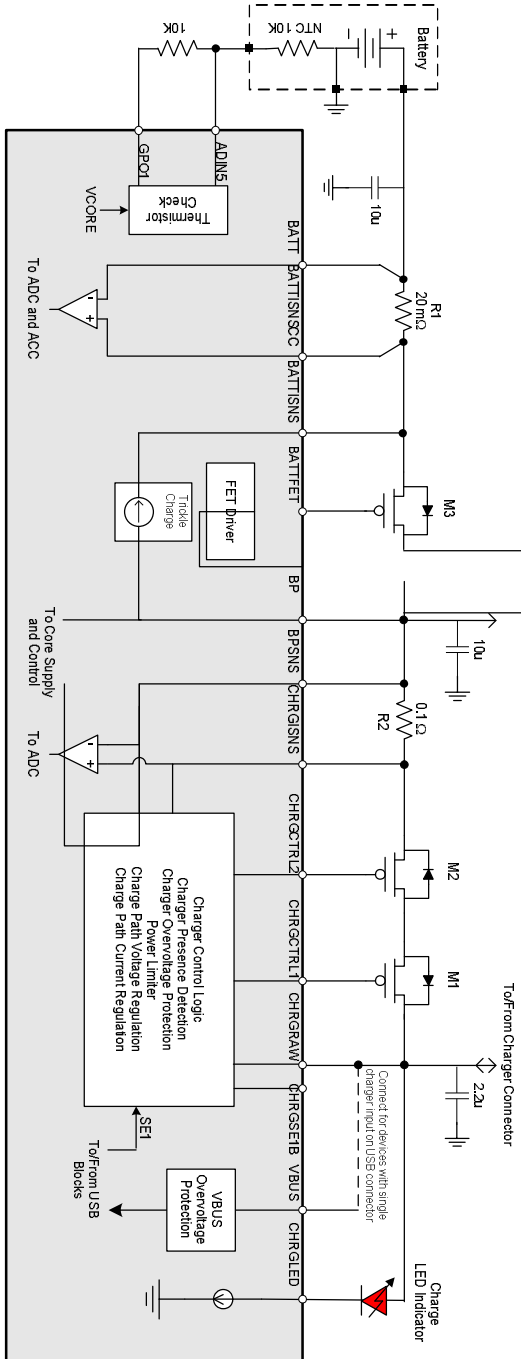


图 2-9 电池充电放电电路图

2.5.4 电阻触摸屏接口电路

MC13892 提供了 4 线电阻触摸屏驱动接口，直接连接到触摸屏的相应接口，就可以完成电阻触摸屏的电路连接。如图 2-10 所示，电阻触摸屏的 X 平面连接到 TSX1 和 TSX2，电阻触摸屏的 Y 平面连接到 TSY1 和 TSY2，就完成了相应的电路连接。

2.6 USB 接口

2.6.1 USB 的定义

USB 是 Universal Serial Bus 的缩写，意为“通用串行总线”接口，它是一种串行总线系统，带有 5V 电压，支持即插即用功能，支持热插拔，最多能同时连入 127 个 USB 设备，由各个设备均分带宽。USB 是连接计算机系统与外部设备的一个串口总线标准，也是一种输入输出接口技术规范，广泛应用于个人电脑和移动设备等通信产品中，并扩展至摄影器材、数字电视（机顶盒）、游戏机等其他相关领域。USB 接口按电气规范分为标准 USB 接口与 Mini USB 接口；Micro USB 是 Mini USB 的下一代规格，是 USB 2.0 标准的一个便携版本，Micro USB 是比 Mini USB 更小的一种接口，主要用于手机、MP4、数码相机等各种便携设备。USB 接口的排线方式不同，又在后缀中分为 A、B、AB 三种。图 2-11 显示了各类 USB 的标准接口。



图 2-10 电阻触摸屏接口电路

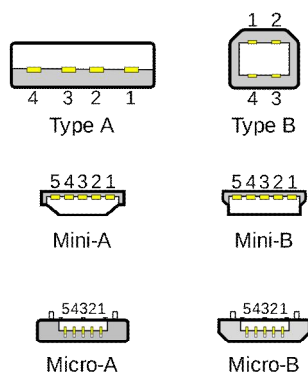


图 2-11 USB 标准接口

USB 信号使用分别标记为 D+和 D-的双绞线传输，它们各自使用半双工的差分信号并协同工作，以抵消长导线的电磁干扰。下面介绍几种 USB 的电气规范。

标准 USB 接口，触点 1 提供电压，触点 2、3 传输信号，触点 4 接地。表 2-5 显示了标准 USB 的触点的电气规范。

表 2-5 标准 USB 电气规范

标准 USB 连接器触点		
触点	功能（主机）	功能（设备）
1	V _{BUS} (4.75~5.25 V)	V _{BUS} (4.4~5.25 V)
2	D-	D-
3	D+	D+
4	接地	接地

Mini USB 除了第 4 针外，其他接口功能都与标准 USB 相同。第 4 针称为 ID，在 Mini-A 上连接到第 5 针，在 Mini-B 上可以悬空也可连接到第 5 针。ID 脚在 OTG 功能中才使用。如果你的系统仅仅是用作 Slave，那么就使用 B 接口，系统控制器会判断 ID 脚的电平以确定是什么样的设备插入，如果是高电平，则是 B 接头插入，此时系统就作为主模式，如果 ID 为低电平，则是 A 接口插入，系统就会使用 HNP 对话协议来决定哪个用作 Master，哪个用作 Slave。Micro USB 的电气规范与 Mini USB 的电气规范相同，只是接口更小。表 2-6 表示了 Mini USB 电气规范。

表 2-6 Mini USB 电气规范		
Mini USB 连接器触点		
触点	功能	颜色
1	V _{BUS} (4.4~5.25 V)	红
2	D-	白
3	D+	绿
4	ID	
5	接地	黑

2.6.2 USB 标准简介

USB 发展到今天，总共有四种标准：第一版 USB 1.0 是在 1996 年出现的，速度只有 1.5Mb/s；两年后升级为 USB 1.1，速度也大大提升到 12Mb/s，如今在部分旧设备上还能看到这种标准的接口；2000 年 4 月，推出目前广泛使用的 USB 2.0，速度达到 480Mb/s，是 USB 1.1 的 40 倍；2008 年 11 月，推出 USB 3.0，最大传输带宽高达 5.0Gb/s，也就是 625MB/s，同时在使用 A 型接口时向下兼容。

USB 2.0 基于半双工二线制总线，只能提供单向数据流传输，而 USB 3.0 采用对偶单纯形四线制差分信号线，因而支持双向并发数据流传输，这也是新规范速度猛增的关键原因。除此之外，USB 3.0 还引入了新的电源管理机制，支持待机、休眠和暂停等状态。表 2-7 显示了 USB 不同标准的传输速率。

表 2-7 USB 传输速率			
USB 版本	速率称号	传输速率范围	最大值传输速率
USB 3.0	SuperSpeed	> 4.8Gb/s	5Gb/s
USB 2.0	高速 Hi-Speed	25Mb/s~400Mb/s	480Mb/s
USB 1.1	全速 Full-Bandwidth	500kb/s~10Mb/s	12Mb/s
USB 1.0	低速 Low-Bandwidth	10kb/s~100kb/s	1.5Mb/s

2.6.3 USB-OTG 设计

USB On-The-Go (USB OTG，当前版本为 1.0a) 作为 USB 2.0 规范的补充标准，能够用于在便携设备之间直接交换数据。

i.MX51 应用处理器支持一个片内 USB-OTG 和三个 USB-HS（需要加片外 USB-PHY），所有的 USB 接口都兼容 USB 2.0 规范，支持高速/全速接口，可以设置成为主/从设备。

片上 USB-OTG 的外围原理图如图 2-12 所示。所有的 USB 信号线和应用处理器直接连接，

USB_VBUS 和 USB_ID 和 MC13892 连接,以产生应用处理器 i.MX51 USB 功能内部模块需要的 3.3V 电压。作为主设备时,需要一个电源开关输出 +5V 的 USB-VBUS 到 USB 接口,如果用作从设备时,这个电源开关不再需要。

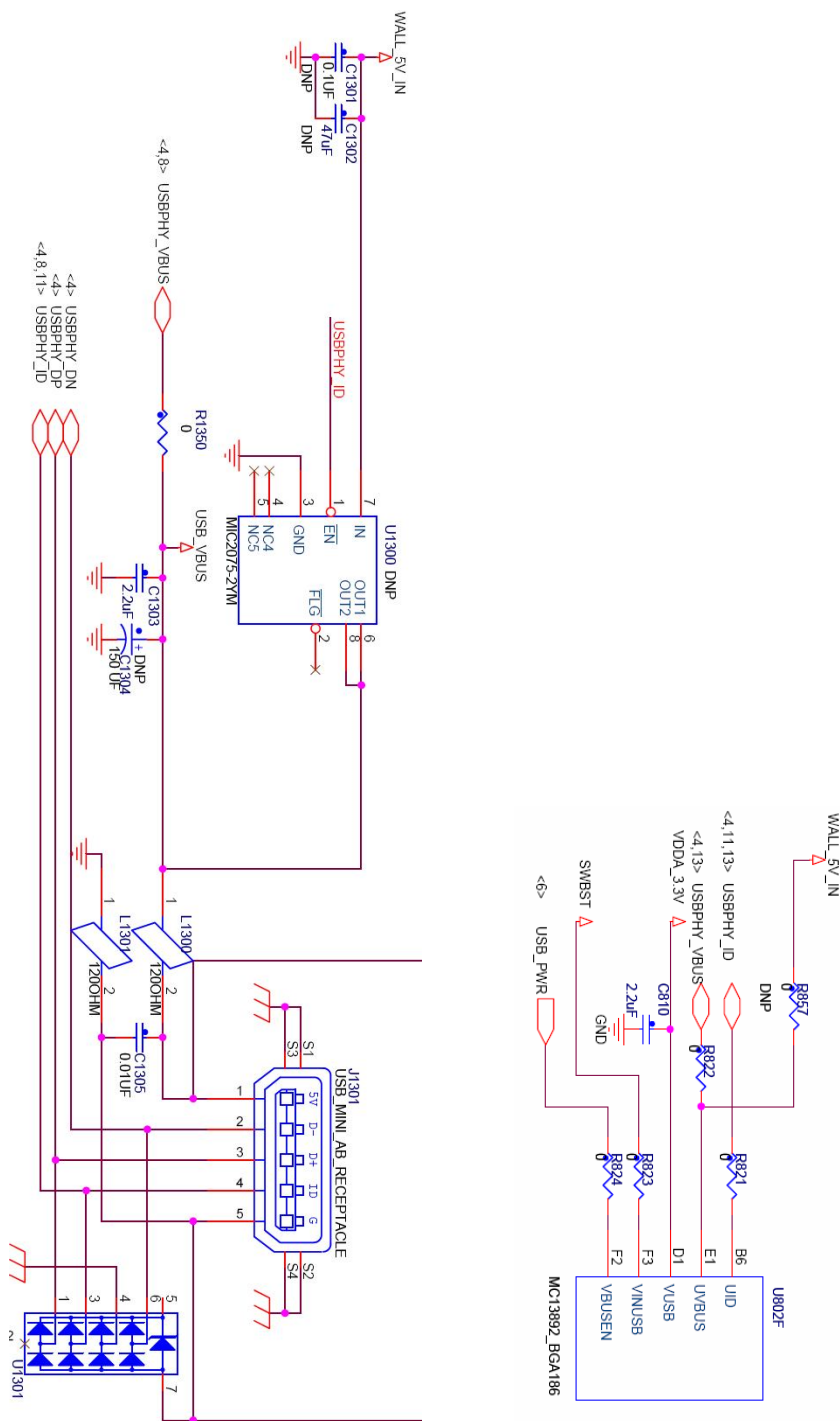


图 2-12 USB-OTG 的外围原理图

2.6.4 USB-HS 设计

怡鼎 MX51 开发板的电路设计中,使用了 SMSC 公司 USB3317 的高速 USB 收发器,支持 USB 主设备接口,USB3317 通过标准的 ULPI 接口连接到 i.MX51 应用处理器,ULPI 接口的连接框图 2-13 所示。

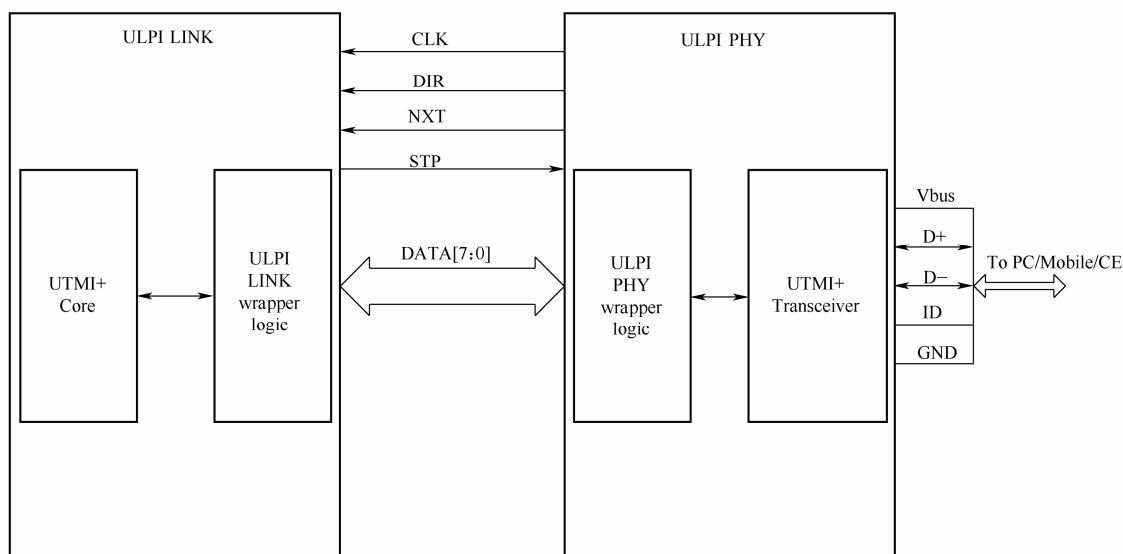


图 2-13 ULPI 接口的连接框图

USB-HS 的 USB 电源输出类似于 USB-OTG, 作为主设备的 USB_VBUS 电源输出通过一个电源开关来控制。

USB-HS 相关电路原理图如图 2-14 所示, 具体的电路工作原理建议参考 SMSC USB3317 的器件手册。

2.6.5 USB 扩展接口

在怡鼎 MX51 开发板上使用了一片 4 口的 USB HUB 控制器 USB2514, 用来扩展 USB 接口。USB2514 的 USB 输入接到 USB3317 的输出管脚: USB_DP, USB_DN, USB_VBUS, 由 USB2514 的 HUB 功能扩展到 4 口的输出。要注意的是芯片配置管脚的设置: CFG_SEL0/CFG_SEL1=00, 在芯片复位信号上升沿时读入并配置芯片的工作模式。图 2-15 表示了 4 扩展口 HUB 原理图。

扩展口输出的 USB_VBUS 电源由如图 2-16 所示的电路完成。MIC2026 是一个电源切换开关, 由 ENA 管脚控制 OUTA 的电源输出, 并由 FLGA 报告电流输出过流报警。

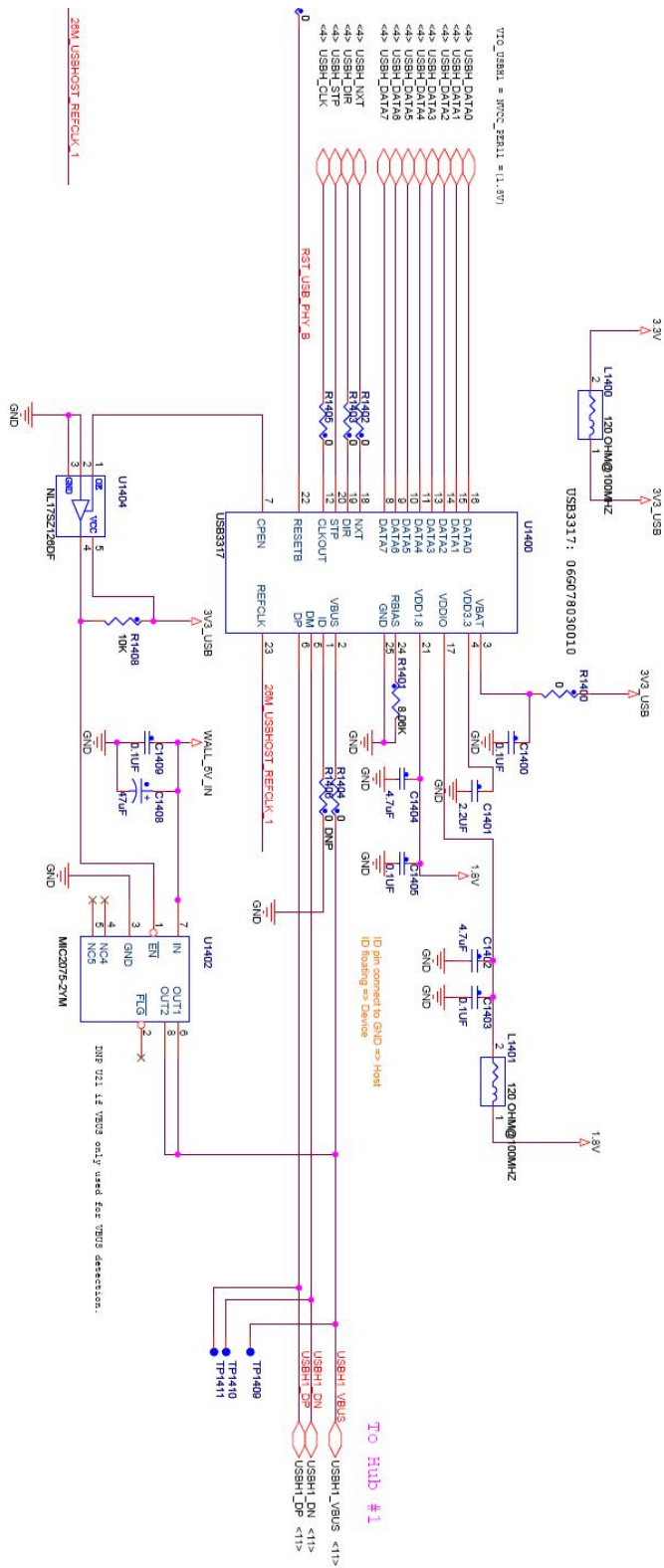


图 2-14 USB-HS PHY 电路原理图

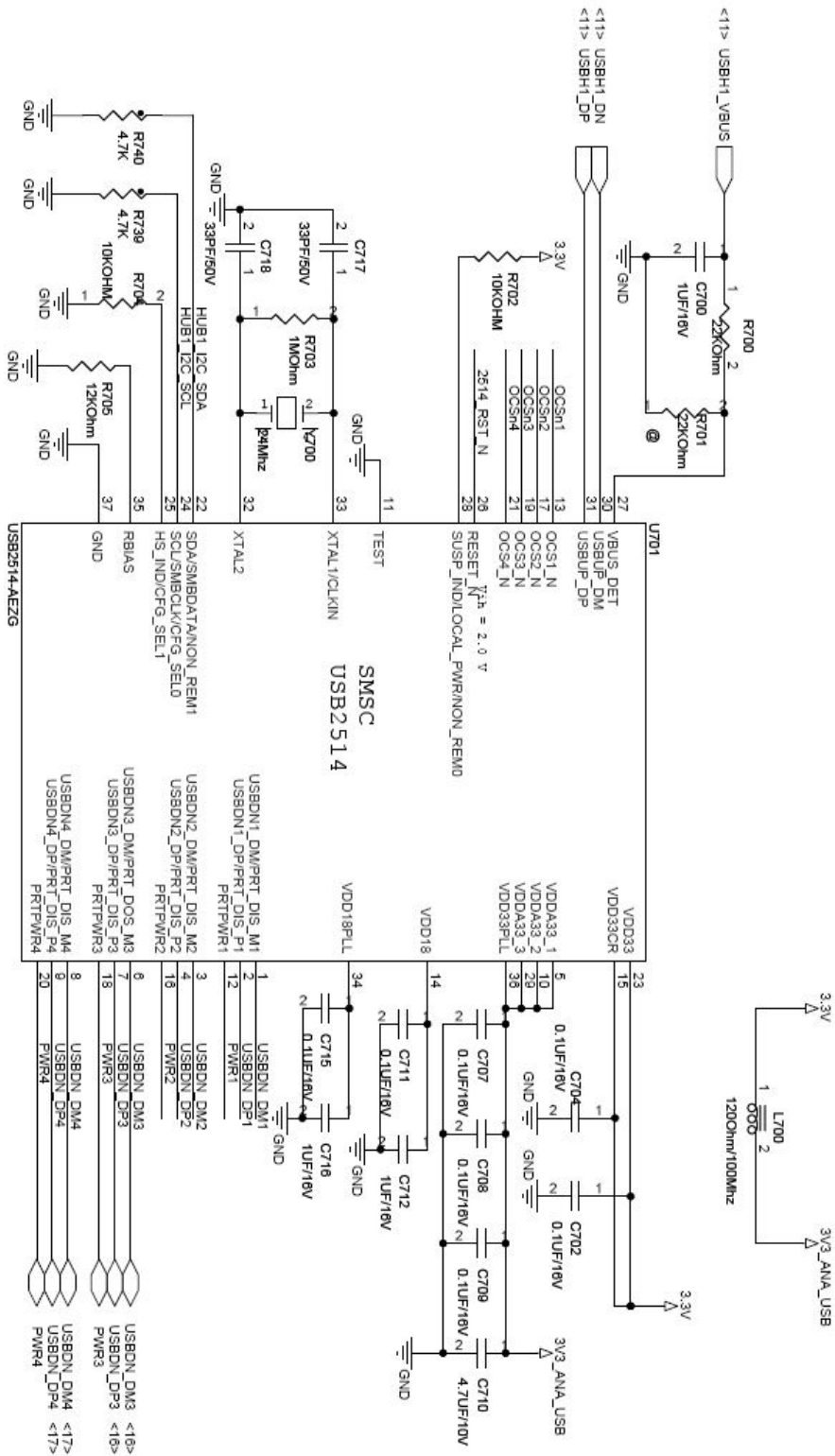


图 2-15 4 扩展口 HUB 原理图

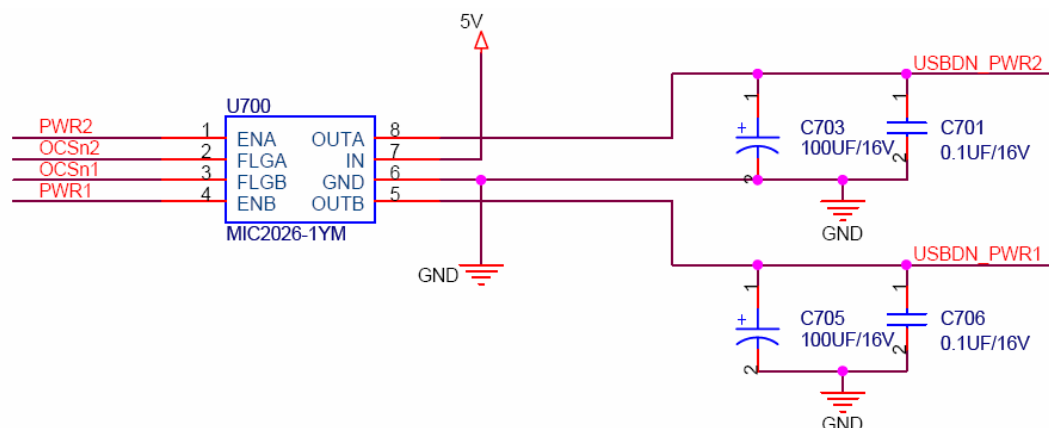


图 2-16 输出 USB_VBUS 电源开关原理图

2.7 DVI 显示接口

DVI 的英文全名为 Digital Visual Interface，中文称为“数字视频接口”，是一种视频接口标准，设计目标是通过数字化的传送来强化个人电脑显示器的画面品质。目前 DVI 广泛应用于 LCD、数字投影机显示设备上。DVI 接口如图 2-17 所示。

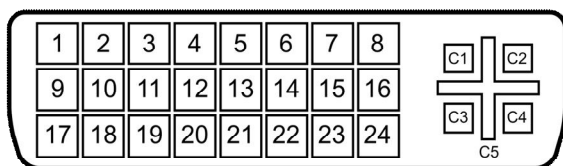


图 2-17 DVI 接口

信号定义如下：

- Pin 1 TMDS Data 2- Digital red - (Link 1)
- Pin 2 TMDS Data 2+ Digital red + (Link 1)
- Pin 3 TMDS Data 2/4 shield
- Pin 4 TMDS Data 4- Digital green - (Link 2)
- Pin 5 TMDS Data 4+ Digital green + (Link 2)
- Pin 6 DDC clock
- Pin 7 DDC data
- Pin 8 Analog vertical sync
- Pin 9 TMDS Data 1- Digital green - (Link 1)
- Pin 10 TMDS Data 1+ Digital green + (Link 1)
- Pin 11 TMDS Data 1/3 shield
- Pin 12 TMDS Data 3- Digital blue - (Link 2)
- Pin 13 TMDS Data 3+ Digital blue + (Link 2)
- Pin 14 +5V Power for monitor when in standby

- Pin 15 Ground Return for pin 14 and analog sync
- Pin 16 Hot plug detect
- Pin 17 TMDS data 0- Digital blue - (Link 1) and digital sync
- Pin 18 TMDS data 0+ Digital blue + (Link 1) and digital sync
- Pin 19 TMDS data 0/5 shield
- Pin 20 TMDS data 5- Digital red - (Link 2)
- Pin 21 TMDS data 5+ Digital red + (Link 2)
- Pin 22 TMDS clock shield
- Pin 23 TMDS clock+ Digital clock + (Links 1 and 2)
- Pin 24 TMDS clock- Digital clock - (Links 1 and 2)
- C1 Analog red
- C2 Analog green
- C3 Analog blue
- C4 Analog horizontal sync
- C5 Analog ground Return for R, G and B signals

在怡鼎 MX51 开发板的 DVI 显示接口的设计中, 使用了 TI 的 TFP410PAP DVI 信号发送器, 与应用处理器显示接口的连接中, 采用了以下信号线: RGB 数据线 DISP1_DAT[0:23], RGB 时钟线 DI1_DISP_CLK, 数据使能线 DI1_DRDY, RGB 行列同步线 DI1_HSYNC 和 DI1_VSYNC。

TFP410PAP 的工作方式是通过外部配置管脚的上拉/下拉来实现的, 具体来说就是: ISEL=0, BSEL=1, DSEL=0, DKEN=0, VREF=3.3V, 设置的实际意义是: 不使用 I2C 总线进行器件配置, 使用 24 位的数据总线, 总线信号摆率为 3.3V 全摆率, 使用默认的信号反转斜率, 使用单端的时钟输入方式。所有这些设置的目的在于与应用处理器 i.MX51 的显示输出接口匹配。具体的内容参考 TI TFP410PAP 的器件手册。如图 2-18 所示是 DVI 显示接口原理图。

在这里要特别说明的是: 由于 HDMI 向下兼容 DVI 信号, 所以在怡鼎 MX51 开发板上使用了 HDMI 接口来传输 DVI 信号。(事实上是在 HDMI 线缆上传输 DVI 信号。) 我们可以用任何具备 HDMI 接口的显示设备来接收 MX51 开发板经过 HDMI 接口输出的视频信号并完整地显示在显示器上。当然, 这样的 HDMI 传输并没有音频信号交织其间, 所以 MX51 开发板的音频信号需要使用其音频通道单独输出 (耳机或喇叭输出, 或者是 SPDIF 数字多声道输出)。如果需要, 也可以用一根 DVI-HDMI 转换线缆将视频输出转换回 DVI 接口去与 DVI 显示设备相连接。

2.8 MMC/SD 卡接口

在 i.MX51 应用处理器内部有 eSDHC 功能模块, 用于支持 MMC/SD 卡, 可以支持的卡的类型有 MMC、MMC Plus、MMC RS、SD、miniSD、SDIO、miniSDIO、SD Combo、CE-ATA 卡, 符合相应的卡的规范。可以支持 1 位、4 位、8 位 MMC 模式, 1 位和 4 位 SD 和 SDIO 模式, 还可以支持 1 位、4 位和 8 位的 CE_ATA 器件。卡的总线时钟频率可以达到 52MHz, 对应于 8 位 MMC 卡, 是 416Mb/s 的数据传输率, 对应于 4 位的 SD 和 SDIO 卡, 数据传输率达到 200Mb/s。

怡鼎 MX51 开发板电路设计中, SDIO1 设计成为 4 位/8 位可选模式, 支持卡的写保护和卡的插入检测。SDIO2 设计成为 4 位模式, 同样支持卡的写保护和插入检测。图 2-19 是 MMC/SD 卡接口原理图。

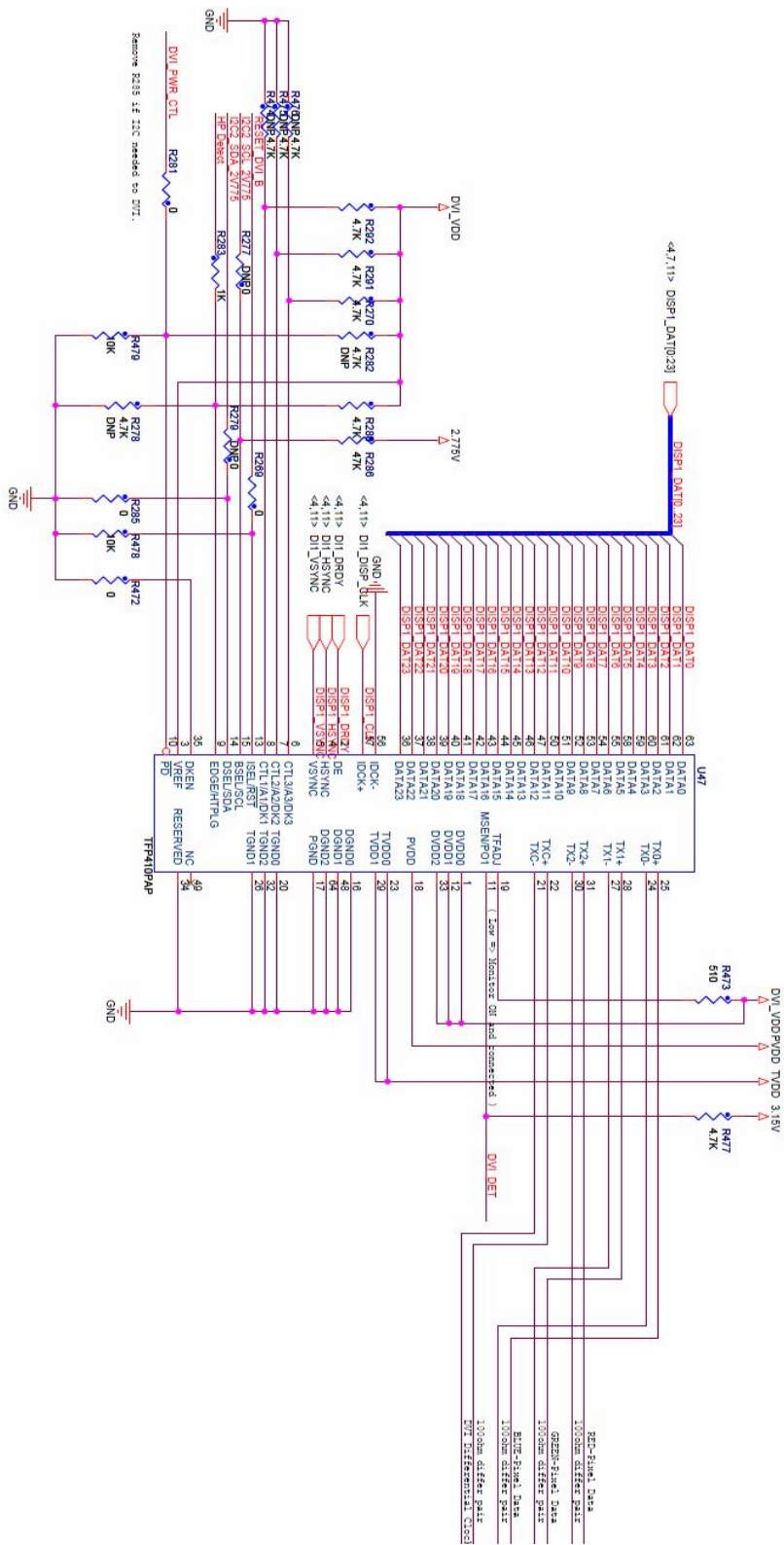


图 2-18 DVI 显示接口原理图

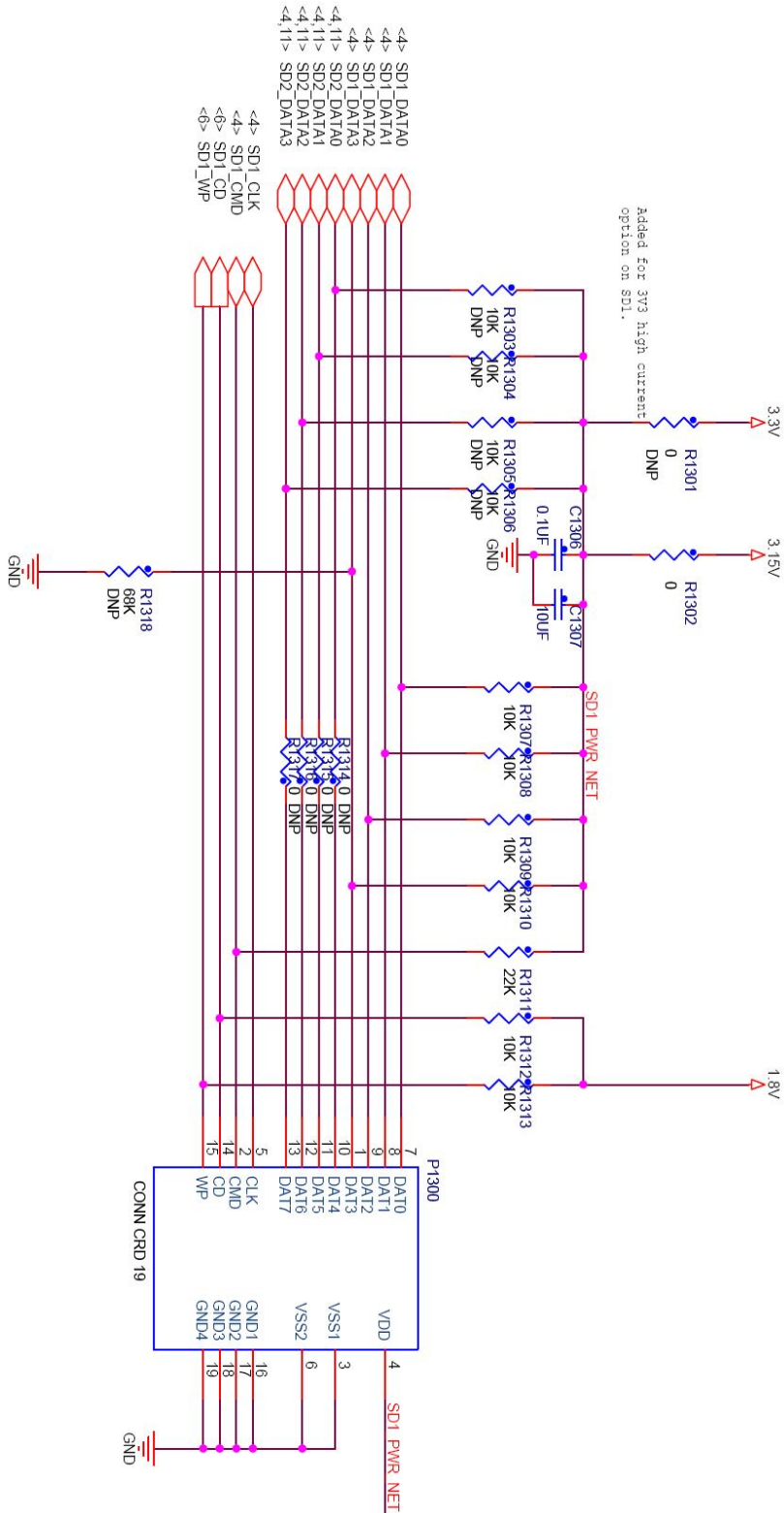


图 2-19 MMC/SD 卡接口原理图

2.9 UART 调试串口和 JTAG 调试口

UART 调试串口和 JTAG 调试口全部在 CPU 板上, UART1 的接口位号是 J1300, 是一个 10 个管脚的 Mini-USB/UART 复用接口, 具体的信号接口定义可以参看原理图和图 2-20 所示的硬件框图, 通过接口连接到 PC 机的 RS232 接口时, 需要一根 USB-UART 的信号转换电缆。由转换电缆实现 USB 接口到 UART 接口的转换, 也由电缆实现 UART 接口信号电平的匹配。

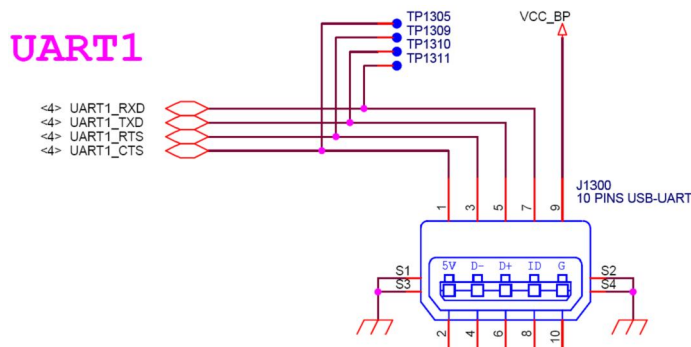


图 2-20 UART 连接框图

UART1 串口被用作软件的调试口, 实际的应用中作为调试串口调试软件时, 只用到 TX 和 RX 信号线, 与外部的串口线相连时, 只需要接 TX、RX 和 GND 三根线。需要注意的是信号电平为 1.8V, 要注意电平的匹配。电平匹配由外部 USB/UART 转换电缆实现。

JTAG 调试口是标准的 20 管脚 JTAG 接口, 信号定义和管脚排布完全参照 ARM 的规范, 需要注意的是信号的电平值为 1.8V 的电平标准, 供电和参考电平输入管脚应当连接到 1.8V 的电源输入。JTAG 接口的信号定义及引脚说明如表 2-8 所示, JTAG 调试口在原理图中, 具体的电路实现如图 2-21 所示。

表 2-8 JTAG 接口信号定义表

序号	信号名	方向	说明
1	Vref	Input	接口电平参考电压, 由这个电压确认 JTAG 接口信号电压, 通常可直接接电源, 参考板电平是 1.8V
2	Vsupply	Input	电源, 1.8V 的电源输入
3	nTRST	Output	(可选项) JTAG 复位。在目标端应加适当的上拉电阻以防止误触发
4	GND	--	接地
5	TDI	Output	Test Data In from ICE device to target
6	GND	--	接地
7	TMS	Output	Test Mode Select
8	GND	--	接地
9	TCK	Output	Test Clock output from ICE device to the target
10	GND	--	接地
11	RTCK	Input	(可选项) Return Test Clock。由目标端反馈给 ICE device 的时钟信号, 用来同步 TCK 信号的产生。不使用时可以直接接地
12	GND	--	接地
13	TDO	Input	Test Data Out from target to ICE device
14	GND	--	接地
15	nSRST	Input/Output	(可选项) System Reset, 与目标板上的系统复位信号相连。可以直接对目标系统复位, 同时可以检测目标系统的复位情况。为了防止误触发, 应在目标端加上适当的上拉电阻

续表

序号	信号名	方向	说明
16	GND	--	接地
17	NC		保留
18	GND	--	接地
19	NC	--	保留
20	GND	--	接地

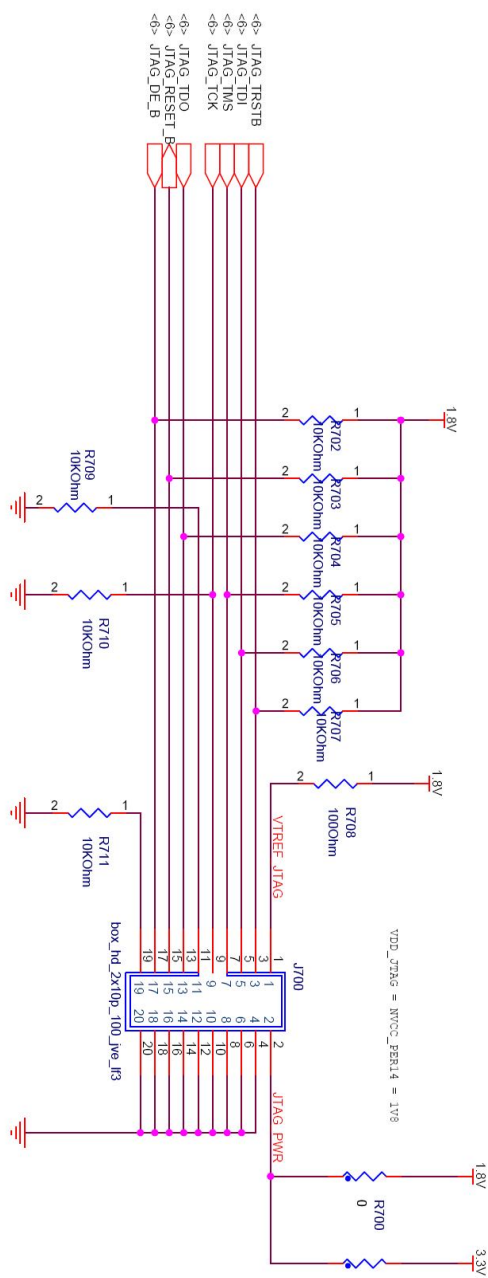


图 2-21 JTAG 电路图

2.10 Ethernet 网口

Ethernet 是一种计算机局域网组网技术。IEEE 制定的 IEEE 802.3 标准给出了以太网的技术标准。它规定了包括物理层的连线、电信号和介质访问层协议的内容。以太网是当前应用最普遍的局域网技术。其中最常用的标准有：

- 10BASE-T：使用 3 类双绞线、4 类双绞线、5 类双绞线的 4 根线（两对双绞线），100 米的传输距离，传输速率为 10Mb/s。
- 100BASE-TX：类似于星型结构的 10BASE-T。使用 2 对电缆，但是需要 5 类电缆以达到 100Mb/s。

怡鼎 MX51 开发板支持 100BASE-TX 和 10BASE-T 全双工自适应的以太网传输标准，符合 IEEE802.3—2005 标准。

以太网的电路组成在母板上实现，以太网 RJ45 网口的标号在母板上是 P900，通过双绞线的连接，怡鼎 MX51 开发板可以作为网络设备连接到以太网中，实现网络信息的接收和交换。

具体的硬件实现和组成是这样的：在 Freescale i.MX51 应用处理器的内部集成了 FEC（Fast Ethernet Controller，高速以太网控制器），要实现完整的以太网接口功能，还需要一个外部的物理层收发器。怡鼎 MX51 开发板设计使用了 SMSC 公司的 LAN8700 以太网收发器。FEC 和 LAN8700 以太网收发器之间使用 100M/10M MII 标准接口连接，硬件架构连接的实现如图 2-22 所示。MAC 层由 Freescale i.MX51 内部硬件电路实现，通过 MII 接口与物理层器件 LAN8700 连接，LAN8700 又通过传输变压器连接到以太网侧。其中 MII 接口的信号定义如表 2-9 所示。

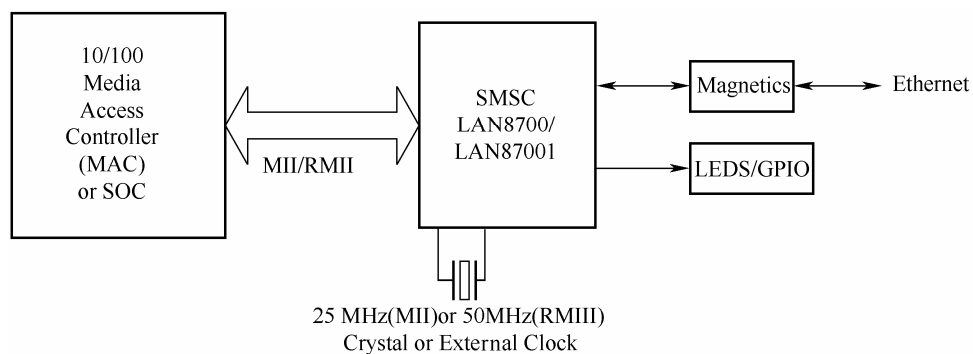


图 2-22 以太网硬件架构图

表 2-9 以太网 MII 接口的信号定义

序号	信号名	相对于 i.MX51 的信号方向	说明
1	TXD[3:0]	Output	4 位 MII 数据传输信号，由 i.MX51 输出到 LAN8700
2	TX_EN	Output	传输数据选通信号，i.MX51 拉高 TX_EN 表示正在传输有效数据
3	TX_CLK	Input	传输数据同步时钟信号，i.MX51 在 TX_CLK 上升沿输出传输数据

续表

序号	信号名	相对于 i.MX51 的信号方向	说明
4	TX_ER	Output	高电平表示传输数据错误
5	RXD[3:0]	Input	4 位 MII 数据接收信号, 由 LAN8700 输入到 i.MX51
6	RX_DV	Input	LAN8700 拉高 RX_DV 表示正在输入有效接收数据
7	RX_CLK	Input	接收数据同步时钟信号, i.MX51 在 RX_CLK 的上升沿输入接收数据
8	RX_ER	Input	接收数据错误信号
9	COL	Input	冲突显示信号
10	CRS	Input	载波检测信号
11	MDIO	Input/Output	串行管理接口数据输入输出
11	MDC	Output	串行管理接口时钟

由于 LAN8700 可以工作在 MII 和 RMII 两种模式, 所以对于 LAN8700 的模式控制管脚, 需要加合适的上拉/下拉电阻, 以使 LAN8700 工作在正常的接口模式。具体的配置是: COL/RMII/CRS_DV 通过下拉电阻拉低使 LAN8700 工作于 MII 接口模式。另外的设置是 RXD3/nINTSEL 通过下拉电阻拉低使 nINT/TX_ER/TXD4 管脚工作于 TX_ER/TXD4 复用模式。RXD/MODE[2:0]的设置模式是 111, 使 LAN8700 工作于自动交互协议方式, 以上设置在 LAN8700 Reset 复位管脚的上升沿读入, 为了保证配置信息的正确, 要保证 Reset 信号的上升沿的稳定和信号幅度有效, 也要避免配置管脚在 Reset 上升沿置位时受到外部信号的干扰, 具体的电路设计细节可以参考 SMSC 公司 LAN8700 的数据手册。图 2-23 所示是以太网原理图和 LAN8700 管脚配置图。

2.11 Audio CODEC 与音频输入输出

Freescale i.MX51 应用处理器为了支持音频和语音功能, 芯片内部提供了数字音频复用器 (AUDMUX), AUDMUX 为外部音频编解码芯片提供了可编程的数字音频/语音接口。通过这个接口, 可以和外部音频编解码器实现 PCM 或者 I2S 规范的音频或者语音的连接。

为了配置外部音频编解码器的工作方式, i.MX51 使用 I2C 接口与编解码器连接, 通过 I2C 接口, 进行配置寄存器的写入设置和工作状态寄存器的读入判断。

在怡鼎 MX51 开发板上, 使用了 Wolfson 的 WM8758B 立体声音频编解码芯片, 使用 I²S/PCM 接口与 i.MX51 音频接口连接, 控制上通过 I2C 接口, 提供一路麦克风输入接口, 一路音频 Line-in 输入接口, 一路立体声耳机输出接口, 一路立体声输出到外部音频功放。

图 2-24 是 WM8758B 的功能和接口框图。

在实际的电路图中, WM8758B 的模拟电源由 3.3V 电源提供, 数字输入电源和接口电路电源由 1.8V 电源提供, 时钟输入由 26MHz 的外部晶振提供。控制接口模式管脚接地, 配置使用 I2C 控制接口, I2S/PCM 接口直连到 i.MX51 的数字音频输入输出接口。麦克风由 LIN/LIP 输入, 耳机由 LOUT1/ROUT1 输出。为了驱动 8Ω喇叭, 使用了一个 D-class 的音频功放 MAX9701, 并由 MAX9701 输出驱动内部/外部喇叭, 功放增益由管脚 GAIN1/GAIN2 的电平决定, 参考板的设计中使用的是 GAIN1/GAIN2=1/0, 对应于 6dB 的增益输出。如图 2-25 所示是 MAX9701 功放框图。

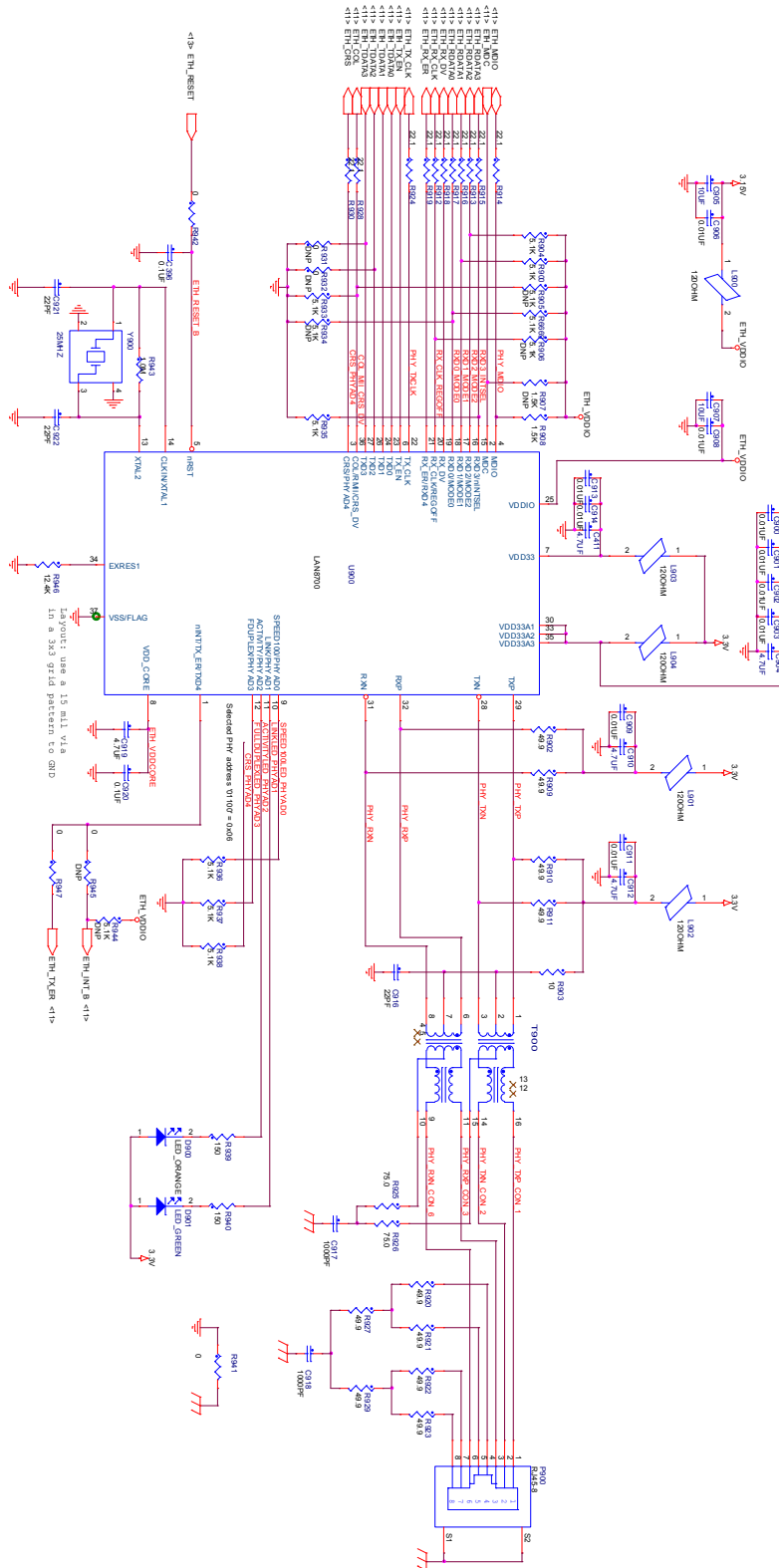


图 2-23 原理图和 LAN8700 管脚配置图

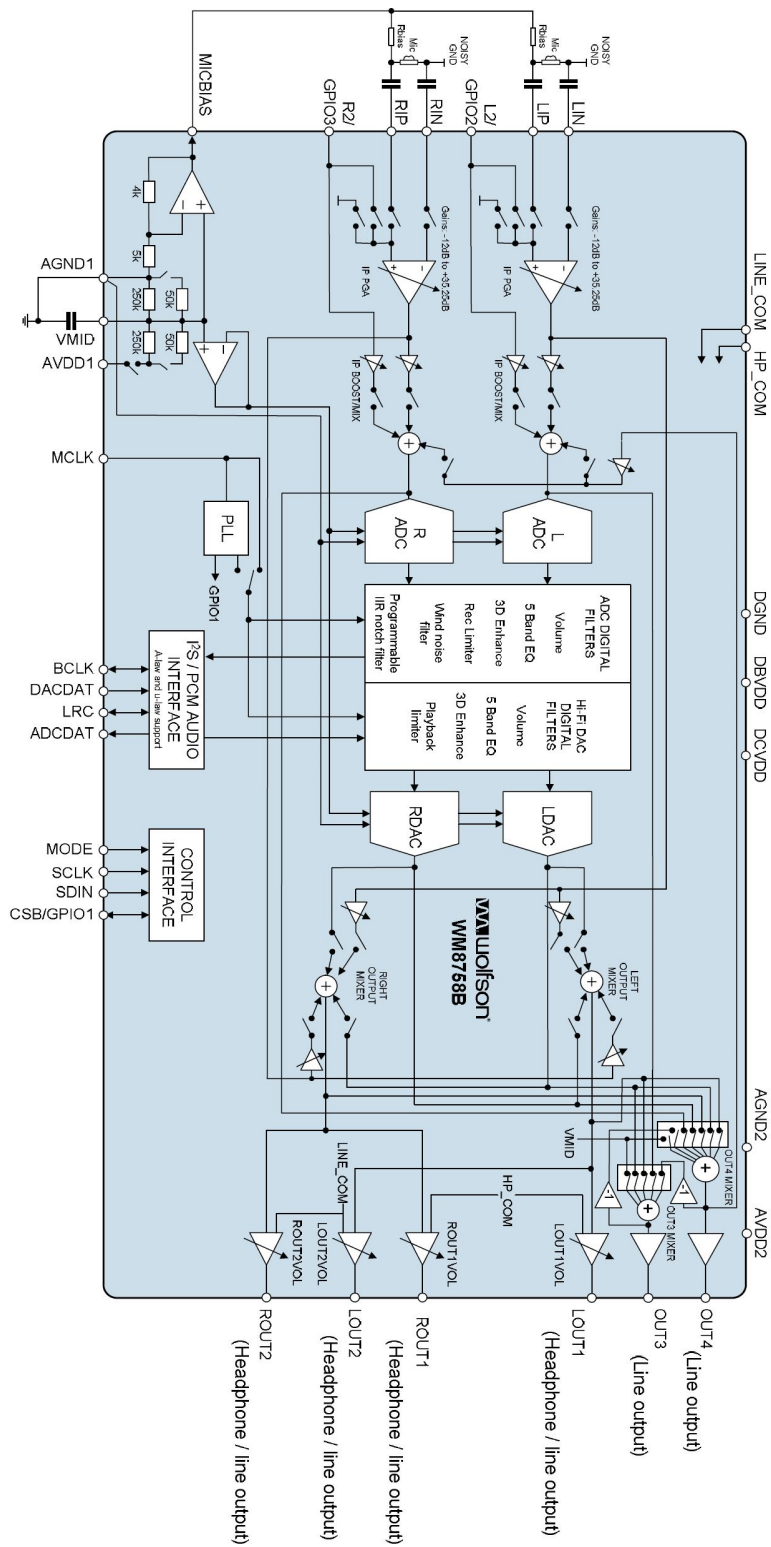


图 2-24 WM8758B 的功能和接口框图

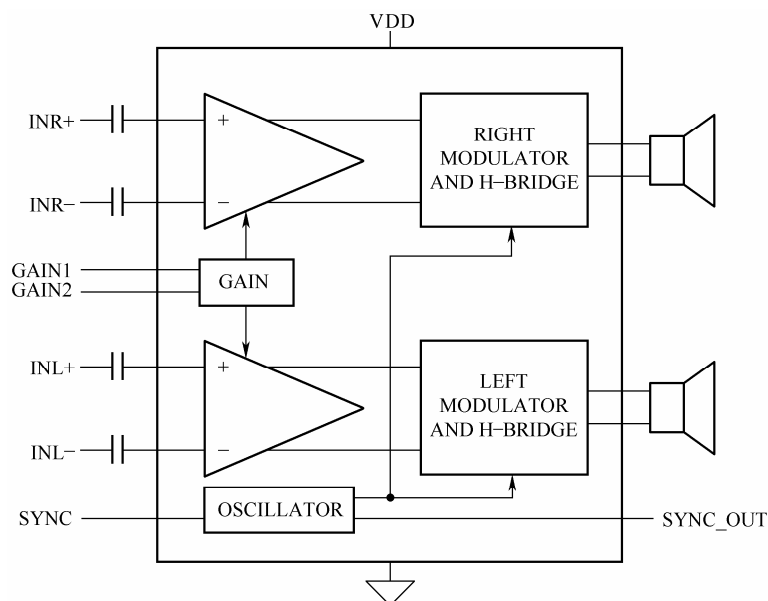


图 2-25 MAX9701 功放框图

具体的细节可以参考详细的器件数据手册和原理图。

2.12 Camera 接口

在怡鼎 MX51 开发板的设计中，使用了 OMNIVISION 公司一颗 200 万像素的 OV2640 CMOS Camera 来做图像拍摄。OV2640 的器件框图如图 2-26 所示。

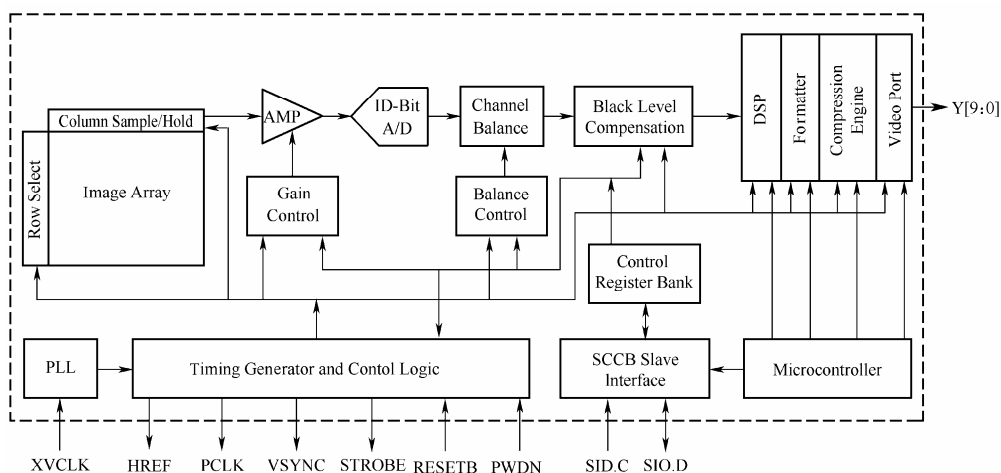


图 2-26 OV2640 的器件框图

从外部管脚连接的角度看，OV2640 支持 10 位的 YUV/RGB 图像输出，XVCLK 是由 Freescale i.MX51 处理器输出的，用来作为 OV2640 的时钟输入，并由内部的 PLL 和时序与控制逻辑生成像素时钟 PCLK、行列同步信号 HREF 和 VSYNC。模块的复位和省电模式的控制分别由 RESETB 和

PWDN 输入。OV2640 的寄存器写入由 I2C 接口写入。

电源供电上，OV2640 的内部核电压是 1.3V，接口电压与 i.MX51 的 Camera 接口电压一致，是 1.8V，模拟电路输入电压是 2.8V。在开发板上，1.3V 电源由一个三端稳压器生成，1.8V 和 2.8V 来自于 MC13892 的输出。图 2-27 所示是 1.3V 三端稳压电路。

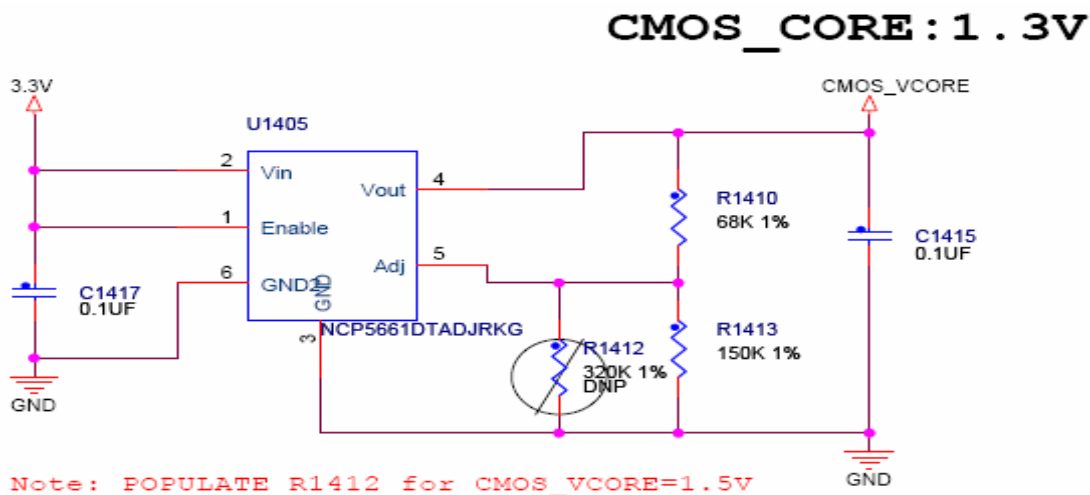


图 2-27 1.3V 三端稳压电路图

具体的电路连接可以参考 OV2640 的器件手册和参考板电路。

2.13 键盘功能

开发板的键盘功能完全由 GPIO 信号实现，由 4 根行扫描信号和 4 根列扫描信号组成 16 个（4×4）键盘按键，键盘行列信号 GPIO 口的配置有一定的要求：列信号 GPIO 口需要配置成为漏极开路的输出方式，行信号要配置成为输入方式，并且要配置为有中断检测功能的输入方式，且要在行信号上加上拉电阻。图 2-28 所示是 4×4 键盘原理图。

具体的实现方式如键盘防抖、行列判断请参看相关的软件实现章节。

2.14 扩展接口

在怡鼎 MX51 的设计中，考虑到用户的扩展功能，在参考板的母板上还开放了相应的扩展接口，包括 Bluetooth 和 WIFI 扩展接口、3G 扩展接口、LCD 屏接口，用户可以按照接口信号的定义设计自己的硬件功能模块，通过扩展接口的连接，实现功能模块的快速调试开发。

2.14.1 Bluetooth 和 WIFI 扩展接口

Bluetooth 接口需要使用标准的 UART 接口用于数据的传输，使用 PCM 接口用于数字语音的传输，WiFi 接口使用 SDIO 标准的接口，信号线的连接如图 2-29 所示。其中信号线 FPGA_BT_RST_B 和 FPGA_WIFI_RST_B 是 GPIO 接口，分别用作 Bluetooth 模块和 WIFI 模块的复位信号。

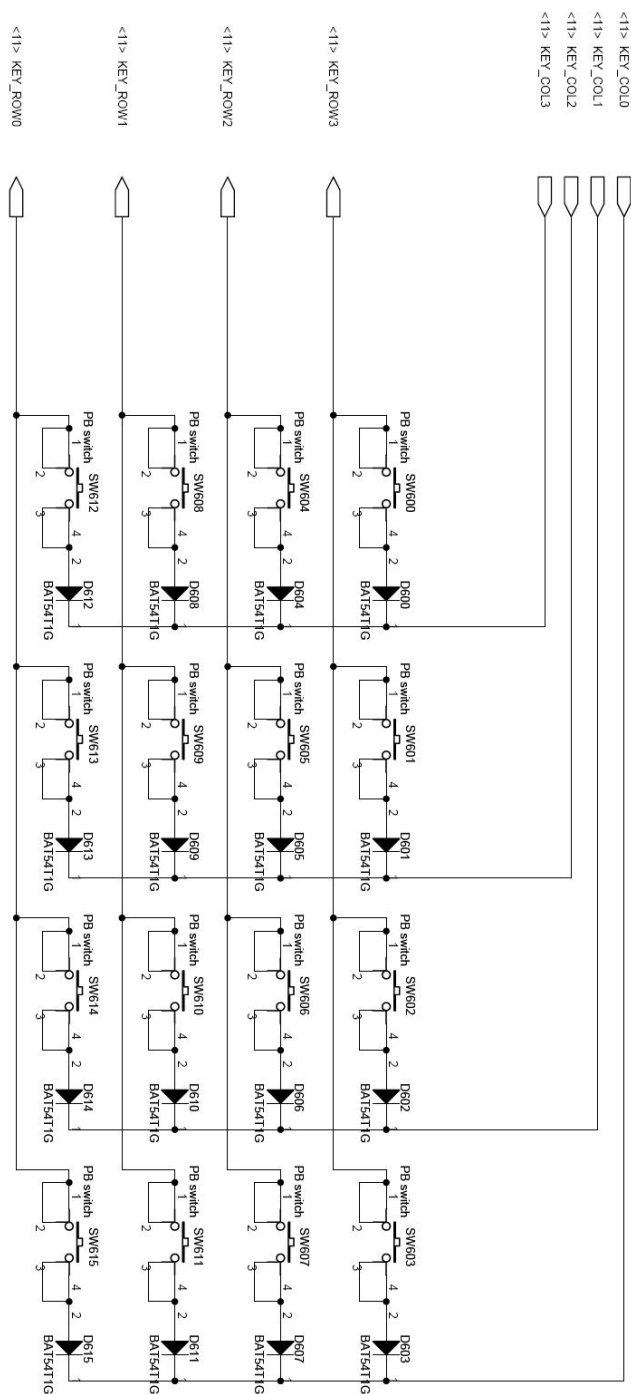


图 2-28 4x4 键盘原理图

2.14.2 3G 扩展接口

在 3G 智能手机的设计中，i.MX51 作为应用处理器，需要与基带处理器连接，数据和数字语

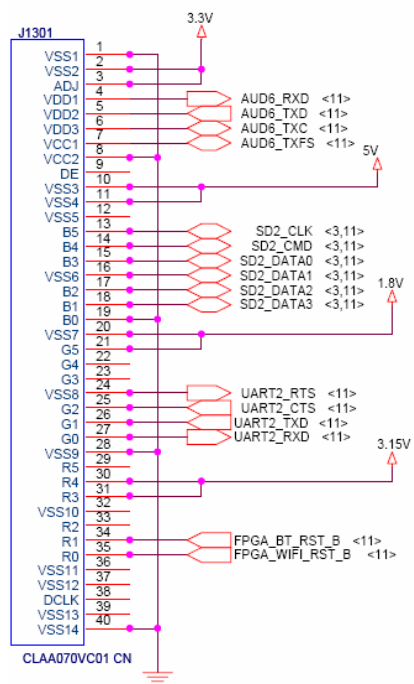


图 2-29 Bluetooth 和 WiFi 扩展接口的信号线连接

音交换需要的接口包括 UART 口、USB 接口和 PCM/I2S 接口，另外还需要 2 个 GPIO 接口作为唤醒和 RESET 复位用。在怡鼎 MX51 开发板上还为 3G 模块提供了 SIM 卡的接口插槽。如图 2-30 所示是 3G 扩展接口的连线图。

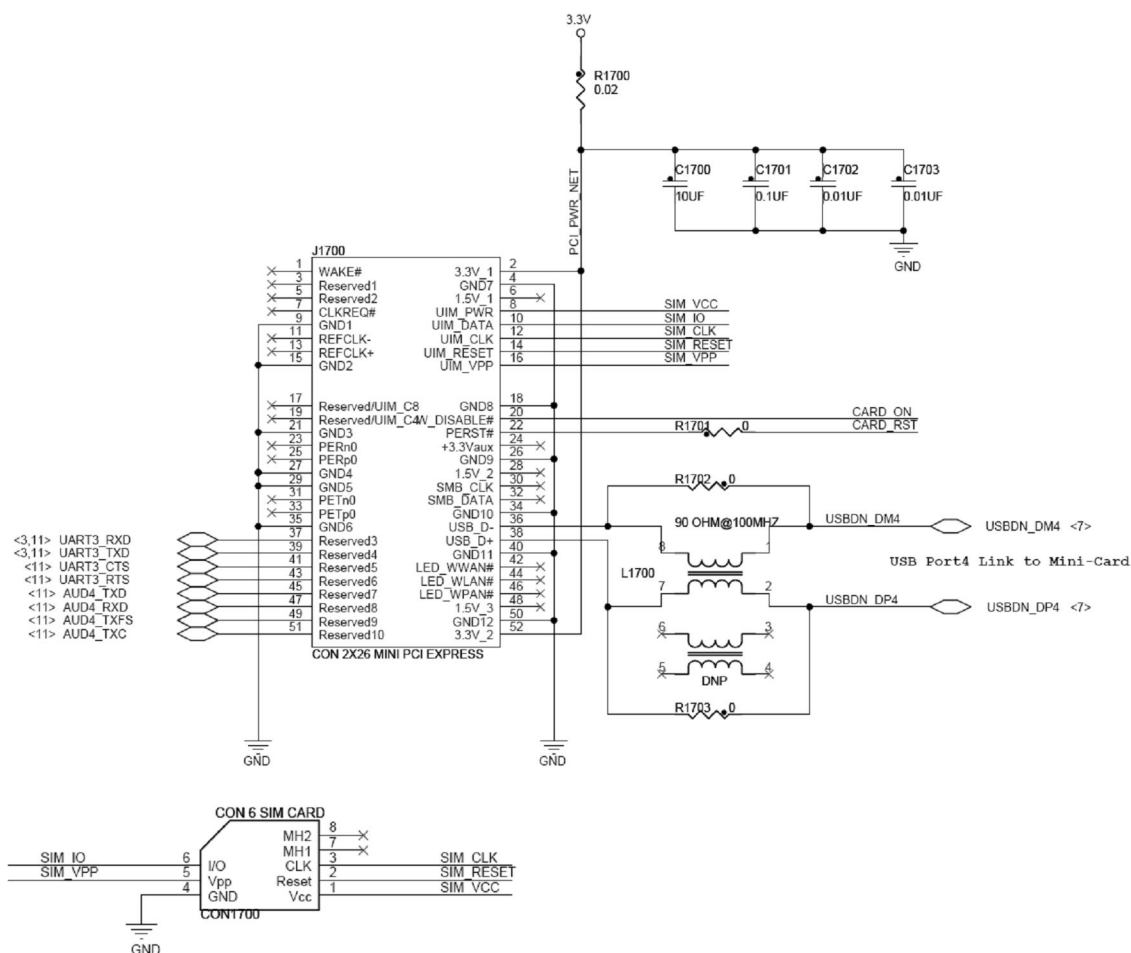


图 2-30 3G 扩展接口及 SIM 卡接口

2.15 参考文献

- 飞思卡尔 i.MX51 数据手册
- 维基百科网